

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ**

**Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Казанский государственный энергетический университет»**

Д.А. ИВАНОВ, М.Ф. САДЫКОВ

**РАЗРАБОТКА ЭЛЕКТРОННЫХ ЭЛЕМЕНТОВ
СИСТЕМ КОНТРОЛЯ**

УЧЕБНОЕ ПОСОБИЕ

**КАЗАНЬ
2020**

УДК 621.382
ББК 32.85
И20

Рецензенты:

канд. техн. наук, инженер технического отдела
ООО «СервисМонтажИнтеграция» *Р.А. Хуснутдинов*;
канд. пед. наук, доцент кафедры промышленной электроники и светотехники
ФГБОУ ВО «КГЭУ» *Л.В. Ахметвалеева*

И20 Иванов Д.А., Садыков М.Ф.

Разработка электронных элементов систем контроля: учеб.
пособие / Д.А. Иванов, М.Ф. Садыков. – Казань: Казан. гос. энерг.
ун-т, 2020. – 132 с.

Рассмотрены принципы разработки и технологии изготовления электронных элементов систем контроля, а именно: полупроводниковых приборов и интегральной микроэлектронной и нано-электронной техники, типов производства электронной компонентной базы. Кроме того, данное учебное пособие содержит следующую информацию: выбор способа получения изделия из действующего типового/группового или поиск аналога единичного технологического процесса, а также конструкционных материалов для производства электронной компонентной базы, изучение и анализ технологических требований, предъявляемых к электронной компонентной базе, знакомство с типовыми методами контроля качества изготовления элементов и узлов электронного оборудования.

Учебное пособие предназначено для студентов всех форм обучения по образовательной программе направления подготовки 11.03.04 Электроника и наноэлектроника, направленность (профиль) «Промышленная электроника», изучающих дисциплины «Основы технологии производства электронной компонентной базы» и «Основы технологии изготовления изделий «система в корпусе» и микросборок».

УДК 621.382
ББК 32.85

© Иванов Д.А., Садыков М.Ф., 2020

© Казанский государственный энергетический университет, 2020

СПИСОК СОКРАЩЕНИЙ

АИМС	– аналоговая интегральная микросхема;
АЦП	– аналого-цифровой преобразователь;
БГИС	– большая гибридная интегральная схема;
БИС	– большая интегральная схема;
БТ	– биполярный транзистор;
ВАХ	– вольт-амперная характеристика;
ГИС	– гибридная интегральная схема;
ГСТ	– генератор стабильного тока;
ДК	– дифференциальный каскад;
ДР	– диффузионный резистор;
ДТЛ	– диодно-транзисторная логика;
ЗУ	– запоминающее устройство;
И ² Л	– инжекционная логика;
ИКД	– испарение – конденсация – диффузия;
ИМС	– интегральная микросхема;
ИС	– интегральная схема;
КМОП	– комплементарные металл – окисел – полупроводник;
КНС	– кремний на сапфире;
КПД	– коэффициент полезного действия;
ЛЭ	– логический элемент;
МДП	– металл – диэлектрик – полупроводник;
МОП	– металл – окисел – полупроводник;
МКТ	– многоколлекторный транзистор;
МЭТ	– многоэмиттерный транзистор;
ОБ	– общая база;
ОЗ	– общий затвор;
ОЗУ	– оперативное запоминающее устройство;
ОИ	– общий исток;
ОК	– общий коллектор;
ОУ	– операционный усилитель;
ОЭ	– общий эмиттер;
ПАВ	– поверхностные акустические волны;
ПЗС	– приборы с зарядовой связью;
ПЗУ	– постоянное запоминающее устройство;
ПЗУМ	– постоянное запоминающее устройство масочное;
ППЗУ	– программируемое постоянное запоминающее устройство;
ПТ	– полевой транзистор;

РПЗУ	–	репрограммируемое постоянное запоминающее устройство;
САПР	–	система автоматизированного проектирования;
СБИС	–	сверхбольшая интегральная схема;
СВЧ	–	сверхвысокие частоты;
СИС	–	интегральная схема средней степени интеграции;
ТкГИС	–	тонкопленочная гибридная интегральная схема;
ТКС	–	температурный коэффициент сопротивления;
ТТЛ	–	транзисторно-транзисторная логика;
ТсГИС	–	толстопленочная гибридная интегральная схема;
УБИС	–	ультрабольшая интегральная схема;
УГО	–	условно-графическое обозначение;
ФЭ	–	функциональная электроника;
ЦАП	–	цифро-аналоговый преобразователь;
ЦМД	–	цилиндрические магнитные домены;
ЭДС	–	электродвижущая сила;
ЭКБ	–	электронная компонентная база;
ЭП	–	элемент памяти;
ЭС	–	электронное средство;
ЭСЛ	–	эмиттерно-связанная логика;
ЯП	–	ячейка памяти;
IC	–	Integrated circuit;
MSI	–	Medium scale integration;
LSI	–	Large scale integration;
VLSI	–	Very large scale integration.

ВВЕДЕНИЕ

Определяющим фактором развития систем контроля и вычислительной техники является элементная база, которая за несколько десятилетий своего существования неоднократно качественно менялась. Каждой новой элементной базе соответствовало свое поколение компьютеров с улучшенными функциональными и техническими характеристиками. Для каждой принципиально новой элементной базы нужна своя схемотехника.

Развитие вопросов проектирования и совершенствование технологии позволили в короткий срок создать высокоинтегрированные функциональные узлы, например в виде БИС, СБИС, УБИС микросхем и программируемых устройств – микропроцессоров. Интегральные изделия имеют малые габариты, экономное потребление энергоресурсов, низкую стоимость и высокую надежность, что позволило развить электронику в интегральную и функциональную микроэлектронику, далее в наноэлектронику. Это, в свою очередь, создает базу интенсивного развития современной аппаратуры контроля природной среды, веществ, материалов и изделий, позволяя совершенствовать и повышать качество продукции, увеличивать безопасность техногенных объектов и срока их службы, а также расширять автоматизацию производственных процессов.

Разработка электронных элементов систем контроля, в том числе и микросхем, связана с необходимостью обеспечивать определенные общие для всех требования. Эти требования являются результатом опыта эксплуатации изделий электронной техники, в частности проектируемых микросхем, в различных условиях. Опыт отражается стандартами фирм, а также отраслевыми и государственными и носит обязательный характер.

Целью издания учебного пособия является освещение вопросов разработки и технологии изготовления электронных элементов систем контроля. Изучение представленного материала позволит студентам повысить уровень знаний в области полупроводниковых приборов и интегральной микроэлектронной и наноэлектронной техник.

Учебное пособие состоит из пяти глав. В первой главе приводятся основные сведения об ИМС, рассматривается их классификация. Во второй главе информируется о пассивных и активных элементах полупроводниковых микросхем, а именно даны: различные типы

транзисторов, их технология изготовления и расчета, диоды, резисторы, конденсаторы и контактные площадки. Третья глава посвящена аналоговым микросхемам, где отражена их разновидность, структура, схемотехника и основные функциональные узлы. В четвертой главе рассматриваются цифровые микросхемы, типы цифровой логики и запоминающие устройства. В пятой главе отражены вопросы, касающиеся основ функциональной электроники, проблем повышения степени интеграции и микроминиатюризации интегральных микросхем, а также она посвящена ограничивающим их физическим явлениям.

В результате освоения теоретических сведений, представленных в настоящем учебном пособии, у студента формируется способность выполнять работы по технологической подготовке производства материалов и изделий электронной техники. Студент учится рассчитывать активные и пассивные элементы и компоненты микро- и нанoeлектроники; на практических и лабораторных работах использует программы расчетов отдельных электронных устройств, элементов и компонентов микро- и нанoeлектроники; узнает технические требования, предъявляемые к изготавливаемым изделиям микроэлектроники; умеет анализировать воздействие различных параметров технологических операций при изготовлении активных и пассивных элементов микро- и нанoeлектроники, а также реализуемых технологических процессов производства изделий микроэлектроники: знает технологию изготовления микросхем различного функционального назначения; технические условия на типовые изделия микроэлектроники.

ГЛАВА 1. КЛАССИФИКАЦИЯ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Интегральные микросхемы, являющиеся элементной базой микроэлектроники, предназначены для реализации подавляющего большинства аппаратурных функций. Их элементы, аналогичные обычным радиодеталям и приборам, выполнены и объединены внутри или на поверхности общей подложки, электрически соединены между собой и заключены в общий корпус. Все или часть из них создаются в едином технологическом процессе с использованием групповых методов изготовления элементов и межэлементных соединений. В настоящее время разработано большое количество различных по функциональному назначению интегральных микросхем (мультивибраторы, триггеры, логические схемы, усилители, дешифраторы, смесители, ограничители, микропроцессоры и др.), на которых могут быть построены устройства и системы автоматики, связи, вычислительной и радиолокационной техники и т.д.

1.1. Полупроводниковая интегральная схема

Полупроводниковая ИС – это микросхема, элементы которой выполнены в приповерхностном слое полупроводниковой подложки. Эти ИС составляют основу современной микроэлектроники.

В настоящее время различают следующие полупроводниковые ИС: биполярные, МОП (металл – окисел – полупроводник) и БИМОП. Последние представляют собой сочетание первых двух, и в них комбинируются положительные их качества. Технология полупроводниковых ИС основана на легировании полупроводниковой (кремниевой) пластины поочередно донорными и акцепторными примесями, в результате чего под поверхностью образуются тонкие слои с разным типом проводимости и *p-n*-переходы на границах слоев. Отдельные слои используются в качестве резисторов, а *p-n*-переходы – в диодных и транзисторных структурах. Легирование пластины приходится осуществлять локально, т.е. на отдельных участках, разделенных достаточно большими расстояниями. Локальное легирование осуществляется с помощью специальных масок с отверстиями, через которые атомы примеси проникают в пластину на нужных участках. При изготовлении полупроводниковых ИС роль маски обычно играет пленка двуокиси кремния SiO_2 , покрывающая поверхность кремниевой пластины. В этой пленке специальными методами гравировается

необходимая совокупность отверстий различной формы или, как говорят, необходимый рисунок. Отверстия в масках, в частности в окисной пленке, называют окнами.

Основным элементом биполярных ИС является *n-p-n*-транзистор: на его изготовление ориентируется технологический цикл. Все другие элементы должны создаваться, по возможности, одновременно с этим транзистором, без дополнительных технологических операций.

Основным элементом МДП ИС является МДП-транзистор. Изготовление других элементов также подстраивается под базовый транзистор.

Элементы биполярной ИС необходимо тем или иным способом изолировать друг от друга с тем, чтобы они не взаимодействовали через кристалл.

Элементы МОП ИС не нуждаются в специальной изоляции друг от друга. В этом заключается одно из главных преимуществ МОП ИС по сравнению с биполярными.

Характерная особенность полупроводниковых ИС состоит в том, что среди их элементов отсутствуют катушки индуктивности и трансформаторы. Это объясняется тем, что до сих пор не удалось использовать в твердом теле какое-либо физическое явление, эквивалентное электромагнитной индукции. Поэтому при разработке ИС стараются реализовать необходимую функцию без использования индуктивностей, что в большинстве случаев удается. Если же катушка индуктивности или трансформатор принципиально необходимы, их приходится использовать в виде навесных компонентов.

Размеры кристаллов у современных полупроводниковых ИС достигают $20 \times 20 \text{ мм}^2$. Чем больше площадь кристалла, тем более сложную и многоэлементную ИС можно на нем разместить. При одной и той же площади кристалла можно увеличить количество элементов, уменьшая их размеры и расстояния между ними.

Функциональную сложность ИС принято характеризовать степенью интеграции, т.е. количеством элементов (чаще всего транзисторов) на кристалле. Максимальная степень интеграции составляет 10^6 элементов на кристалле. Повышение степени интеграции (а вместе с нею и сложности функций, выполняемых ИС) – одна из главных тенденций в микроэлектронике.

Для количественной оценки степени интеграции используют условный коэффициент $k = \lg N$. В зависимости от его значения интегральные схемы называются по-разному:

$k \leq 2$ ($N \leq 100$) – интегральная схема (ИС);

$2 \leq k \leq 3$ ($N \leq 1000$) – интегральная схема средней степени (СИС);

$3 \leq k \leq 5$ ($N \leq 10^5$) – большая интегральная схема (БИС);

$k > 5$ ($N > 10^7$) – сверхбольшая интегральная схема (СБИС).

Английские обозначения и их расшифровки приведены в списке сокращений.

Кроме степени интеграции, используют еще такой показатель, как плотность упаковки – количество элементов (чаще всего транзисторов) на единицу площади кристалла. Этот показатель, который характеризует главным образом уровень технологии [1], в настоящее время составляет до 500–1000 элементов/мм².

Полупроводниковые ИМС получили широкое применение в основном из-за массового их использования в вычислительной технике. Все элементы и межэлементные соединения выполнены в объеме и на поверхности полупроводника.

Полупроводниковые ИМС изготавливают на основе планарной технологии полупроводниковых приборов. Все элементы полупроводниковых ИМС формируют в едином технологическом потоке в тонком поверхностном слое полупроводниковой пластины диаметром 40–150 мм и толщиной 0,2–0,4 мм. На одной подложке диаметром 40–75 мм одновременно изготавливают до 1000 микросхем (рис. 1.1, *а*), после чего разрезают алмазным резцом или другими способами на прямоугольные пластины – отдельные кристаллы микросхемы. Кристалл микросхемы крепят к основанию корпуса (рис. 1.1, *б*) и, выполнив необходимые электрические соединения с внешними выводами, герметизируют.

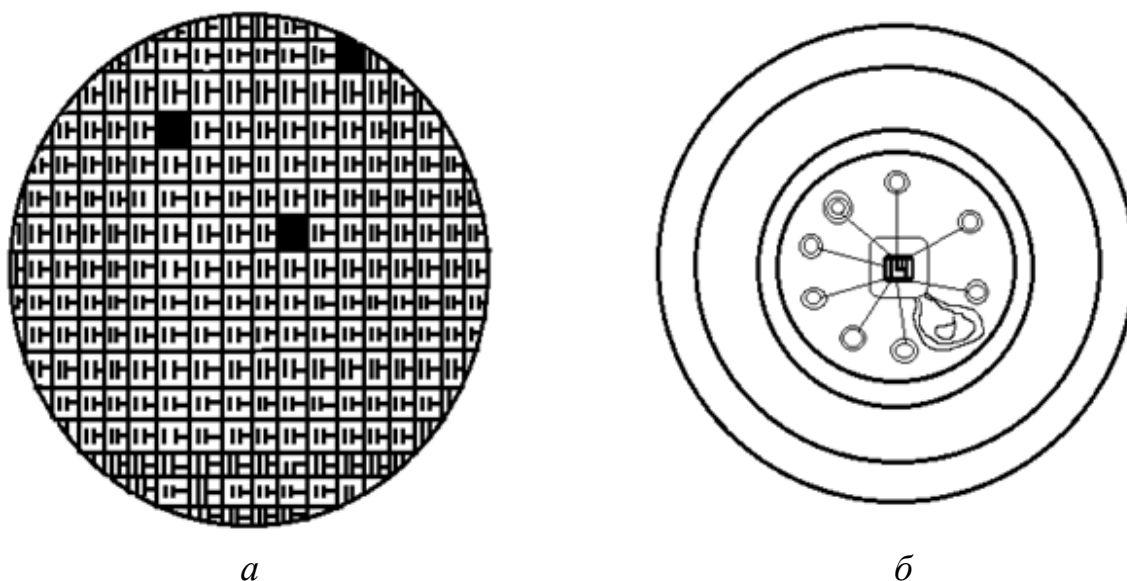


Рис. 1.1. Полупроводниковые интегральные микросхемы:
а – подложка с ИМС; *б* – соединение ИМС с внешними выводами корпуса

Различают четыре типа полупроводниковых интегральных микросхем:

- 1) планарно-диффузионные (однокристалльные) на биполярных структурах;
- 2) совмещенные (с тонкопленочными пассивными элементами);
- 3) на МДП-структурах (металл – диэлектрик – полупроводник);
- 4) многокристалльные.

В планарно-диффузионных микросхемах элементы представляют собой области с различным типом электропроводимости внутри монокристаллической полупроводниковой подложки (рис. 1.2, *а*). Эти элементы изолированы друг от друга либо обратным смещённым p - n -переходом (рис. 1.2, *а*), либо слоем диэлектрического материала, например, окиси кремния. Цифры участков структуры на рис. 1.2, *а* соответствуют обозначениям электрической схемы рис. 1.3.

Совмещенные микросхемы – это сочетание полупроводниковой микросхемы с тонкопленочными элементами на подложке из кремния. Осаждение тонких пленок производят непосредственно и после выполнения всех диффузионных операций (рис. 1.2, *б*). Тонкопленочная технология создает резисторы и конденсаторы. Эти элементы в микросхеме могут выполняться более точными значениями по сравнению с диффузионным методом. Поэтому совмещенную технологию используют в основном для создания аналоговых (линейных) микросхем.

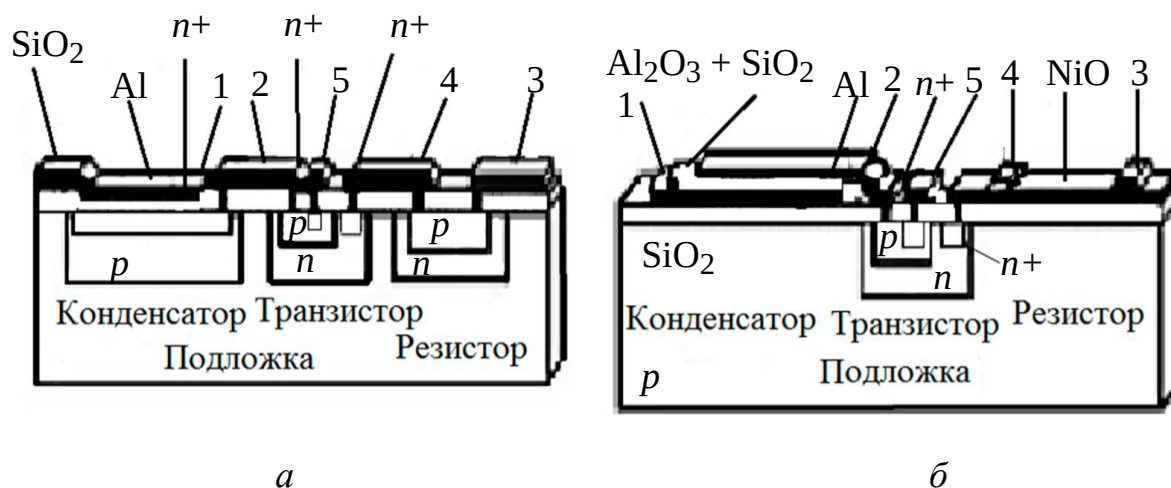


Рис. 1.2. Структуры полупроводниковых ИМС:

а – планарно-диффузионная; *б* – совмещенная; 1 – вход ИМС; 2 – база транзистора ИМС; 3 – вход питания ИМС; 4 – выход ИМС; 5 – эмиттер транзистора ИМС

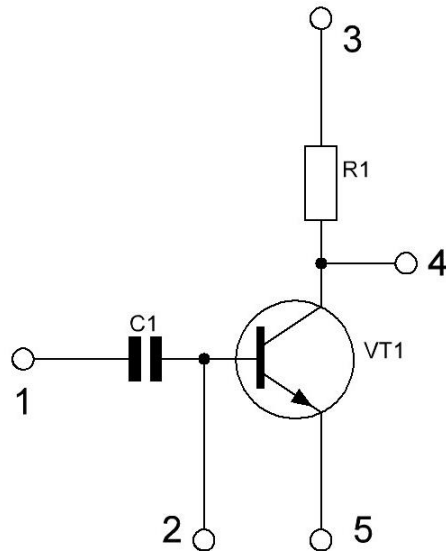


Рис. 1.3. Электрическая схема полупроводниковой ИМС:
1 – вход; 2 – база; 3 – питание; 4 – коллектор; 5 – эмиттер

Микросхемы на МДП-структурах выполняют на основе полевого транзистора с изолированным затвором, структура которого показана на рис. 1.4, а электрическая схема логического элемента – на рис. 1.5.

В интегральных микросхемах эти транзисторы используются в качестве как активных, так и пассивных элементов (нагрузочных резисторов), что обеспечивает максимальную повторяемость и технологичность при их изготовлении. Микросхемы на МДП-структурах имеют более высокую степень интеграции по сравнению с другими типами полупроводниковых ИМС.

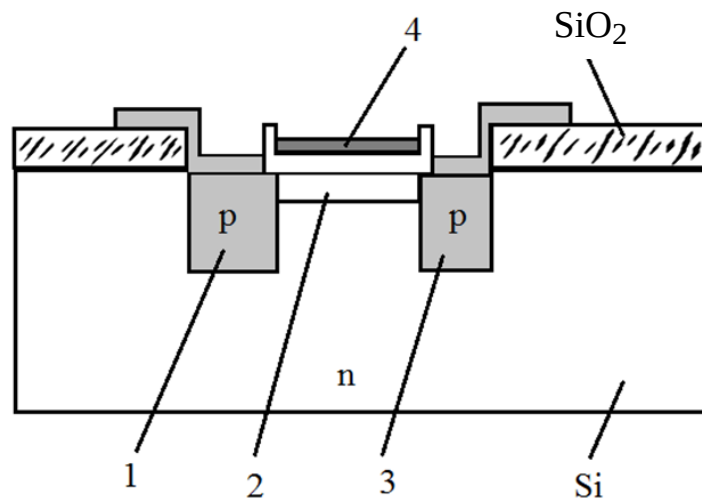


Рис. 1.4. Структура полевого транзистора с изолированным затвором:
1 – исток, 2 – канал, 3 – сток, 4 – затвор

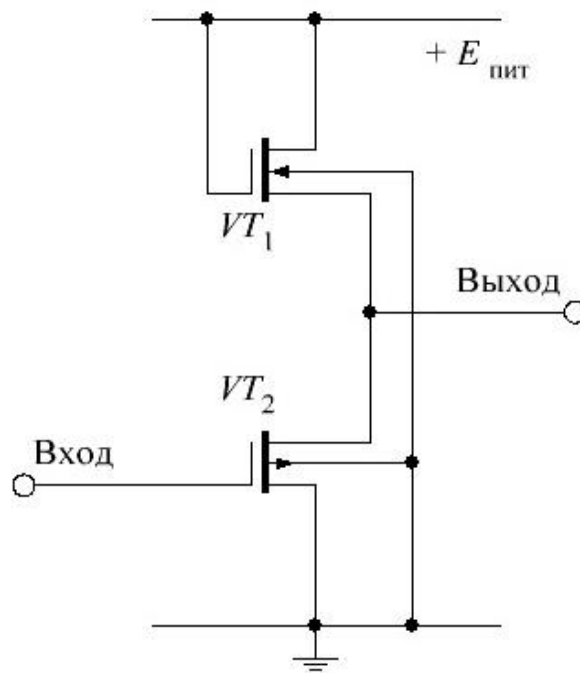


Рис. 1.5. Электрическая схема логического элемента

Многокристальные микросхемы состоят из отдельных компонентов, расположенных на общей подложке и соединенных между собой тонкопленочными проводниками и проволочными выводами (рис. 1.6). С целью герметизации общую подложку размещают в корпусе. Изготовление многокристальных микросхем требует меньшего числа технологических операций, поскольку все компоненты выполняются отдельно. Однако эти микросхемы в условиях массового производства несколько дороже, поскольку в них трудно автоматизировать сборочные операции.

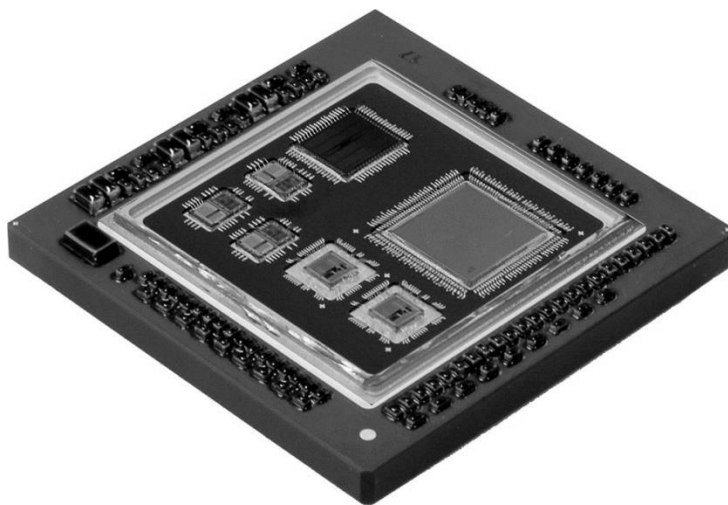


Рис. 1.6. Многокристальная ИМС

Многокристалльные микросхемы обладают лучшими рабочими характеристиками, так как влияние паразитных связей в них меньше, чем в однокристалльных ИМС [2].

В конструктивном отношении полупроводниковая ИМС представляет собой кремниевый кристалл прямоугольной или квадратной формы, в объеме и на поверхности которого сосредоточены изолированные друг от друга элементы, соединенные согласно электрической схеме.

Обычно каждому элементу схемы соответствует локальная область полупроводникового материала, свойства и характеристики которой обеспечивают выполнение функций дискретных элементов. Каждая локальная область, выполняющая функции конкретного элемента, требует изоляции от других. Соединения между элементами (согласно электрической схеме) обычно выполняются с помощью напыленных на поверхность полупроводникового кристалла металлических проводников или высоколегированных полупроводниковых перемычек. Такой кристалл заключается в герметизированный корпус и имеет систему выводов для практического применения микросхемы. Таким образом, полупроводниковая ИМС представляет собой законченную конструкцию. Тип конструкции полупроводниковых ИМС определяется: полупроводниковым материалом; технологическими методами создания локальных областей и формирования в них элементов; методами изоляции элементов в кристалле; типом и структурой используемых транзисторов.

Большинство полупроводниковых ИМС изготавливают на основе монокристаллического кремния, хотя в отдельных случаях используют германий. Это объясняется тем, что кремний по сравнению с германием обладает рядом физических и технологических преимуществ, важных для создания элементов ИМС. Физические преимущества кремния по сравнению с германием проявляются в следующем [3]:

1) кремний имеет большую ширину запрещенной зоны и меньшие обратные токи переходов, что уменьшает паразитные связи между элементами ИМС, позволяет создавать микросхемы, работоспособные при повышенных температурах (до $+120^{\circ}\text{C}$), и микроощные схемы, функционирующие при малых уровнях рабочих токов (менее 1 мкА);

2) кремниевые транзисторы имеют более высокое пороговое напряжение, а следовательно, логические схемы на этих транзисторах характеризуются большой статической помехоустойчивостью;

3) кремний характеризуется меньшей диэлектрической проницаемостью, что обуславливает небольшие значения барьерных емкостей переходов при той же их площади и позволяет увеличивать быстродействие ИМС.

1.2. Групповой метод изготовления микросхем

Метод был предложен в конце 1950-х гг. Сущность его состоит в том, что в полупроводниковой пластине диаметром 25–80 мм и толщиной 0,2–0,5 мм одновременно изготавливается множество транзисторов, регулярно расположенных на ее поверхности. Затем пластина разрезается на множество отдельных кристаллов, содержащих по одному транзистору. После этого кристаллы помещаются в корпуса с внешними выводами.

Следует отметить, что ведущие фирмы в настоящее время используют пластины диаметром 300–500 мм. Идея группового метода стала очень широко применяться при изготовлении интегральных схем, что иллюстрирует рис. 1.7.

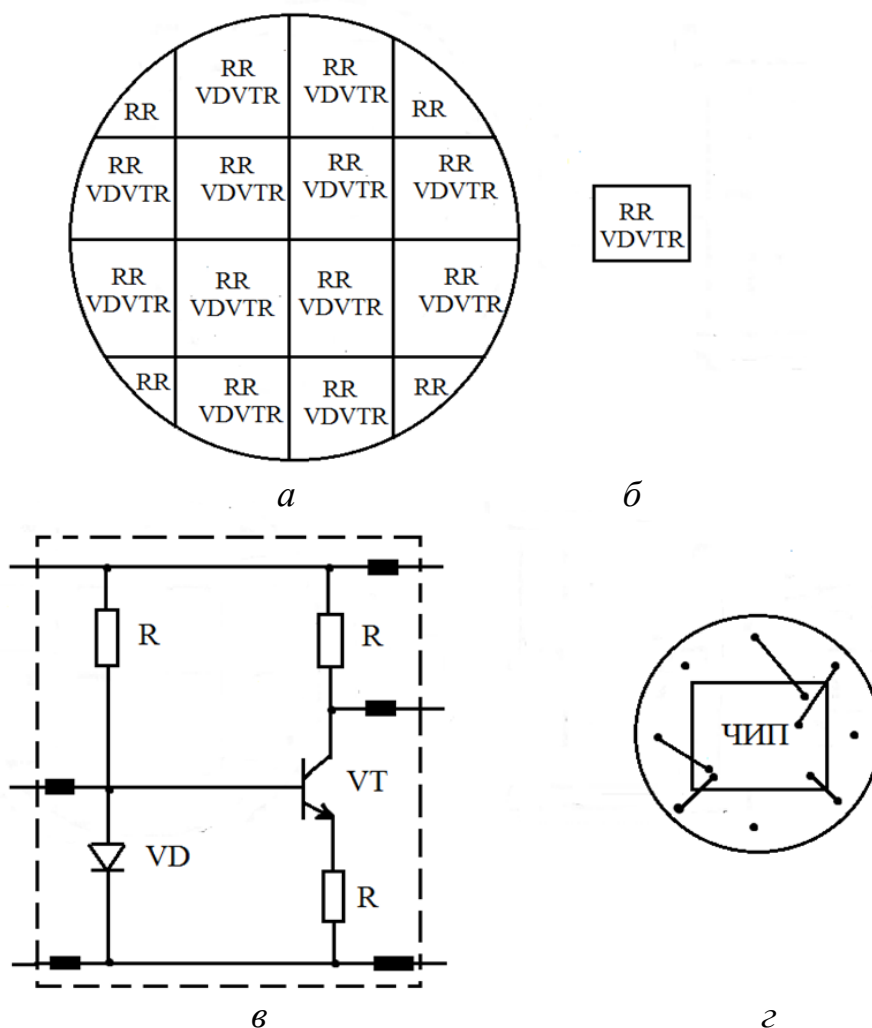


Рис. 1.7. Этапы группового метода изготовления интегральных схем [4]:

a – компоненты на одной подложке; *б* – единичный компонент;

в – электрическая схема одного компонента;

г – компоновка выводов одного компонента

Здесь реализуется возможность технологической интеграции компонентов на одной подложке. Суть ее состоит в том, что на исходной пластине (рис. 1.7, *а*) вместо отдельных транзисторов одновременно изготавливается множество ИМС, каждая из которых содержит все компоненты (резисторы R , диоды VD , транзисторы VT , указанные на рис. 1.7, *б, в*), необходимые для построения функционального узла. Эти компоненты соединяются друг с другом тонкими металлическими полосками (часто алюминиевыми). Как видно из рис. 1.7, *а*, все ИМС регулярно расположены на поверхности пластины. Пластина разрезается на отдельные кристаллы (называемые в специальной литературе чипами), которые помещаются в корпус, что иллюстрирует рис. 1.7, *г*. При этом разработчик аппаратуры получает готовый функциональный узел в виде электронного прибора определенного типа и назначения [4].

1.3. Планарная технология

Планарная технология – это такая организация технологического процесса, когда все элементы и их составляющие создаются в интегральной схеме путем формирования через плоскость.

Одна или несколько технологических операций при изготовлении ИС заключаются во включении отдельных элементов в схему и присоединении их к специальным контактным площадкам. Поэтому необходимо, чтобы выводы всех элементов и контактные площадки находились в одной плоскости. Такую возможность обеспечивает планарная технология [1].

При разработке радиоэлектронной аппаратуры на электронных лампах и транзисторах всегда возникает необходимость в многочисленных соединениях приборов между собой с помощью пайки. Обилие паяных соединений резко снижает надежность аппаратуры и увеличивает ее стоимость вследствие множества сборочных и монтажных операций. В значительной степени избежать указанных недостатков позволяет так называемая планарная технология, широко используемая в настоящее время при производстве ИМС. Она обеспечивает изготовление разнотипных элементов в полупроводниковой пластине с расположением их выводов в одной плоскости. Это позволяет выполнять межсоединения элементов в едином технологическом цикле с помощью металлических полосок. При разработке сложных ИМС для обеспечения межсоединений иногда используют несколько слоев металлических пленок, разделенных между собой диэлектрическими слоями. Таким образом, при разработке аппаратуры на основе ИМС [4], изготовленных по планарной технологии,

отпадает необходимость в многочисленных паяных соединениях, резко сокращаются габаритные размеры, масса, повышается надежность и снижается стоимость.

1.4. Гибридные интегральные микросхемы

Гибридная ИС (или ГИС) – это микросхема, которая представляет собой комбинацию пленочных пассивных элементов и активных компонентов, расположенных на общей диэлектрической подложке. Дискретные компоненты, входящие в состав гибридной ИС, называют навесными, подчеркивая этим их обособленность от основного технологического цикла получения пленочной части схемы.

Гибридные ИС в зависимости от технологии изготовления делятся на толстопленочные и тонкопленочные. Толстопленочные ГИС (обозначим их ТсГИС) изготавливаются весьма просто. На диэлектрическую пластинку-подложку наносят пасты разного состава. Проводящие пасты обеспечивают межсоединения элементов, обкладок конденсаторов и выводов к штырькам корпуса; резистивные – получение резисторов, диэлектрические – изоляцию между обкладками конденсаторов и общую защиту поверхности готовой ГИС. Каждый слой должен иметь свою конфигурацию, свой рисунок. Поэтому при изготовлении каждого слоя пасту наносят через свою маску – трафарет – с окнами в тех местах, куда должна попасть паста данного слоя. После этого приклеивают навесные компоненты и соединяют их выводы с контактными площадками.

Тонкопленочные ГИС (обозначим их ТкГИС) изготавливаются по более сложной технологии, чем ТсГИС. Классическая тонкопленочная технология характерна тем, что пленки осаждаются на подложку из газовой фазы. Вырастив очередную пленку, меняют химический состав газа и тем самым электрофизические свойства следующей пленки. Таким образом, поочередно получают проводящие, резистивные и диэлектрические слои. Конфигурация (рисунок) каждого слоя определяется либо трафаретом, как в случае ТсГИС, либо маской, подобно окисной маске в полупроводниковых ИС (рис. 1.8).

Навесные элементы в ТкГИС, как и в ТсГИС, приклеивают на поверхность готовой пленочной части схемы и соединяют с соответствующими контактными площадками элементов.

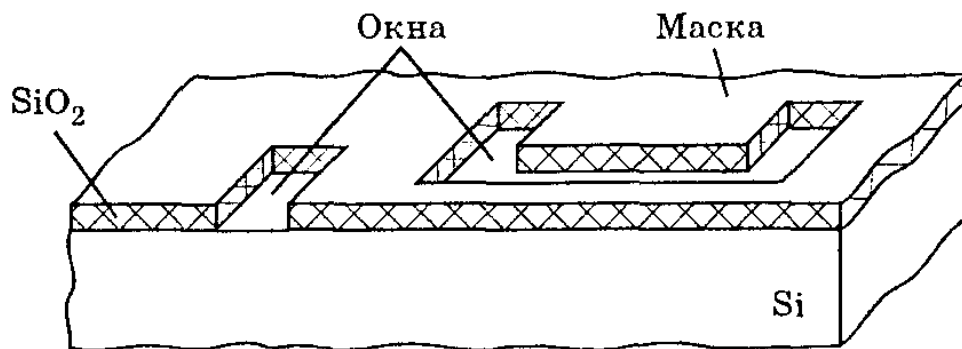


Рис. 1.8. Окисная маска с окнами для локального легирования

Навесные элементы в ТкГИС, как и в ТсГИС, приклеивают на поверхность готовой пленочной части схемы и соединяют с соответствующими контактными площадками элементов.

Степень интеграции ГИС не может оцениваться так же, как в случае полупроводниковых ИС. Тем не менее существует термин «большая ГИС» (или БГИС), который означает, что в состав ГИС в качестве навесных компонентов входят не отдельные транзисторы, а целые полупроводниковые ИС [1].

В зависимости от функционального назначения ИМС делятся на аналоговые и цифровые. Первые предназначены для обработки и преобразования сигналов, являющихся непрерывными функциями времени. Вторые – для обработки и преобразования сигналов, являющихся дискретными функциями времени (в частном, но широко распространенном случае имеющих вид двоичных импульсов) [4].

Гибридные ИС представляют собой совокупность пленочных пассивных элементов и навесных активных компонентов. Поэтому технологию тонкопленочных ГИС можно разбить на технологии тонкопленочных пассивных элементов и монтажа активных компонентов.

Изготовление пассивных элементов. Тонкопленочные элементы ГИС осуществляются с помощью технологических методов, т.е. путем локального (через маски) термического, катодного или ионно-плазменного напыления того или иного материала на диэлектрическую подложку.

В качестве масок длительное время использовались накладные металлические трафареты. Они представляли собой тонкую биметаллическую фольгу с отверстиями-окнами. Основу трафарета составлял слой электрохимически нанесенного никеля толщиной 10–20 мкм. Последний определял размеры окон, т.е. рисунок трафарета, а слой бериллиевой бронзы выполнял роль несущей конструкции.

Серьезные недостатки металлических накладных трафаретов заключаются в том, что, во-первых, в процессе напыления пленок происходит их нанесение на сами трафареты, что меняет их толщину и постепенно приводит их в негодность. Во-вторых, металлические трафареты мало пригодны при катодном и ионно-плазменном напылении, так как металл искажает электрическое поле и, следовательно, влияет на скорость напыления. Поэтому в последние годы от металлических накладных трафаретов практически отказались и используют для получения необходимого рисунка фотолитографию – метод, заимствованный из технологии полупроводниковых ИС (рис. 1.9).

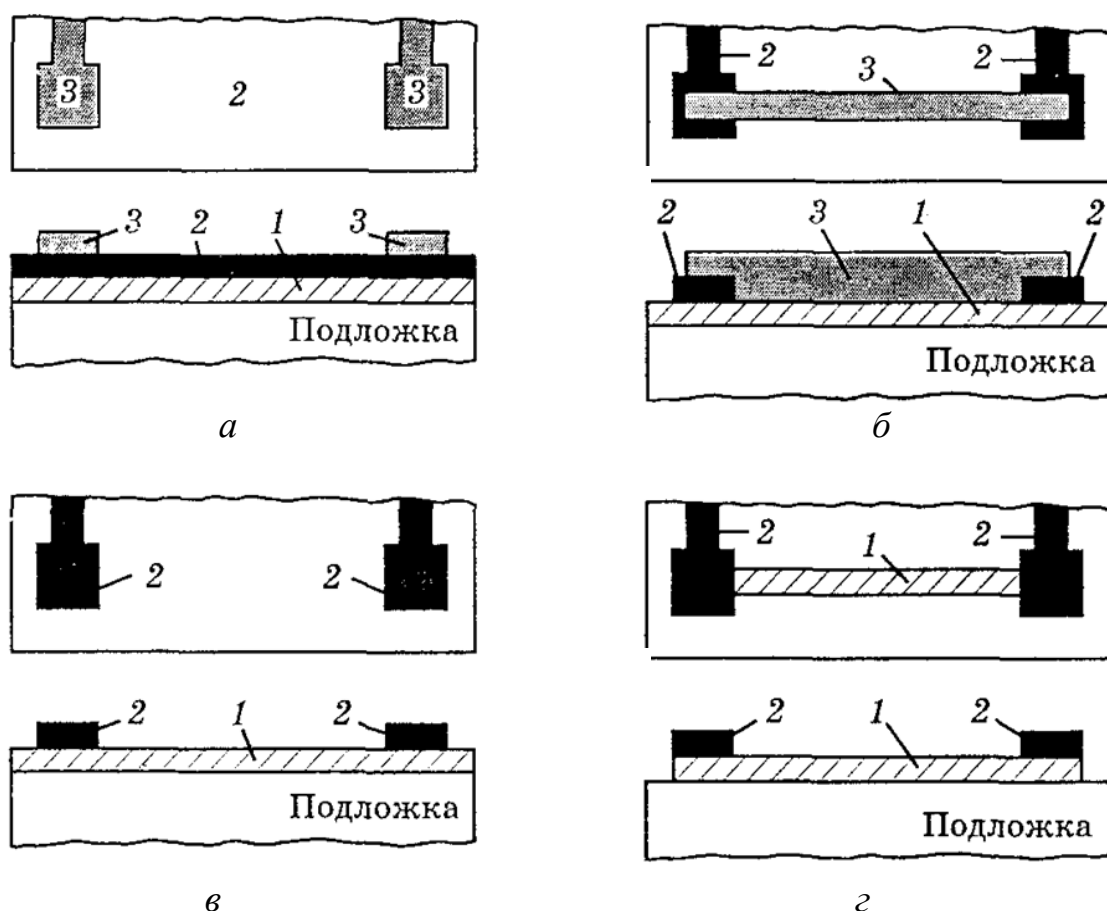


Рис. 1.9. Получение тонкопленочных резисторов методом фотолитографии:
 а – фоторезистная маска (3) под рисунок проводящего слоя; б – готовый рисунок проводящего слоя (2); в – фоторезистная маска (3) под рисунок резистивного слоя; г – готовый резистор с проводящими выводами

Фотолитографию осуществляют следующим образом. На подложку наносят сплошные пленки необходимых материалов, например резистивный слой и поверх него – проводящий слой. Затем поверхность покрывают фоторезистом и с помощью соответствующего фотошаблона

создают в нем рисунок для проводящего слоя (например, для контактных площадок будущего резистора, рис. 1.9, *а*). Через окна в фоторезистивной маске проводят травление проводящего слоя, после чего фоторезист удаляют. В результате на пока еще сплошной поверхности резистивного слоя получаются готовые контактные площадки (рис. 1.9, *б*). Снова наносят фоторезист и с помощью другого фотошаблона создают рисунок полосы резистора (рис. 1.9, *в*). Затем проводят травление, удаляют фоторезист и получают готовую конфигурацию резистора с контактными площадками (рис. 1.9, *г*).

Конечно, важно, чтобы травитель, действующий на проводящий слой, не действовал на резистивный и наоборот. Имеется и еще ряд ограничений, которые здесь не затронуты. Нужно учесть, что с помощью фотолитографии не удастся получать многослойные структуры типа конденсаторов. Однако это ограничение не очень существенно, так как в последнее время предпочитают использовать в ГИС навесные конденсаторы (ради экономии площади).

Для резистивных пленок чаще всего используют хром, нихром ($\text{Ni} - 80 \%$, $\text{Cr} - 20 \%$) и кермет из смеси хрома и монооксида кремния (1:1). Метод напыления для этих материалов – термический (вакуумный). Омические контакты к резистивным пленкам (полоскам) осуществляются так, как показано на рис. 1.9.

Для обкладок конденсаторов используют алюминий, причем до напыления нижней обкладки (прилегающей к подложке) приходится предварительно наносить тонкий подслои из сплава CrTi , так как адгезия алюминия непосредственно с подложкой оказывается недостаточной.

Для диэлектрических слоев пленочных конденсаторов по совокупности требований (большая диэлектрическая проницаемость ϵ , малый тангенс угла потерь $\text{tg } \delta$, большая пробивная напряженность и др.) наибольшее распространение имеют монооксиды кремния SiO_2 и германия GeO_2 . Особое место среди диэлектриков занимают окислы Ta_2O_5 и Al_2O_3 , которые получают не методом напыления, а методом анодирования нижних металлических обкладок (Ta или Al).

Для проводниковых пленок и омических контактов используют, как правило, либо золото с подслоем CrTi , либо медь с подслоем ванадия (назначение подслоев – улучшить адгезию с подложкой). Толщина проводящих пленок и контактных площадок обычно составляет 0,5–1 мкм. Размеры контактных площадок от 100×100 мкм и более.

Толщина наносимых пленок контролируется в процессе напыления. Для этого используются несколько методов. Один из них, пригодный только в случае резистивных пленок, состоит в использовании так называемого свидетеля. Свидетель представляет собой вспомогательный (не входящий в структуру ГИС) слой, напыляемый одновременно с рабочими слоями, но расположенный на периферии подложки и снабженный двумя заранее предусмотренными внешними выводами. Через эти выводы осуществляется контроль сопротивления свидетеля в процессе напыления. Геометрия свидетеля известна. Поэтому, когда его сопротивление достигает значения, соответствующего необходимой толщине, напыление прекращают (перекрывают заслонку). Толщина рабочих слоев будет такой же, как у свидетеля, так как они напылялись в одинаковых условиях.

Другой способ контроля состоит в использовании в качестве свидетеля тонкой кварцевой пластины, которая через внешние выводы присоединена к колебательному контуру генератора колебаний. Как известно, кварцевая пластина обладает свойствами колебательного контура, причем резонансная частота однозначно связана с толщиной пластины. В процессе напыления толщина пластины меняется, как и частота генератора. Изменения частоты легко измерить и остановить процесс напыления в нужный момент.

Подложки тонкопленочных ГИС должны прежде всего обладать хорошими изолирующими свойствами. Кроме того, желательны малая диэлектрическая проницаемость, высокая теплопроводность, достаточная механическая прочность. Температурный коэффициент расширения должен быть близким к температурным коэффициентам расширения используемых пленок. Типичные параметры подложек следующие: $\rho = 10^{14}$ Ом · см; $\varepsilon = 5 - 15$; $\operatorname{tg} \delta = (2 - 20) \cdot 10^{-4}$; $TKL = (5 - 7) \cdot 10^{-6}$.

В настоящее время наибольшее распространение в качестве подложек имеют ситалл и керамика. Ситалл представляет собой кристаллическую разновидность стекла (обычное стекло аморфно), а керамика – смесь окислов в стекловидной и кристаллической фазах (главные составляющие Al_2O_3 и SiO_2).

Толщина подложек составляет 0,5–1 мм в зависимости от площади. Площадь подложек у ГИС иногда больше площади кристаллов у полупроводниковых ИС. Стандартные размеры подложек лежат в пределах от 12×10 до 96×120 мм. Требования к гладкости поверхности примерно такие же, как и в случае кремния: допустимая шероховатость не превышает 25×50 нм (класс шероховатости 12–14).

Обычно ГИС, как и полупроводниковые ИС, изготавливаются групповым методом на ситалловых или иных пластинах большой площади. По завершении основных технологических операций, связанных с получением пленочных пассивных элементов и металлической разводки, проводятся выходной тестовый контроль и, если необходимо, подгонка параметров пассивных элементов. Только после контроля пластины скрайбируются и снабжаются навесными компонентами. ГИС могут, как и ИС, помещаться в корпусе или (в бескорпусном исполнении) герметизироваться в составе аппаратуры.

Монтаж навесных компонентов. В качестве навесных компонентов используются бескорпусные диоды, транзисторы, резистивные и конденсаторные сборки, а также бескорпусные ИС и БИС. Ниже рассматривается пример.

Простейшим вариантом бескорпусного транзистора является кристалл, полученный после скрайбирования, к трем контактными площадкам которого присоединены тонкие проволочные выводы, и защищенный от внешней среды каплей эпоксидной смолы, обволакивающей кристалл со всех сторон. Такой транзистор приклеивается к подложке вблизи тех пленочных элементов, с которыми он должен быть соединен, после чего проволочные выводы транзистора методом термокомпрессии присоединяются к соответствующим контактными площадкам на подложке.

Имеется два других варианта бескорпусных транзисторов, монтаж которых осуществляется иначе. Первый вариант называется транзистором с шариковыми выводами (рис. 1.10, а). Шарики диаметром 50–100 мкм связаны с контактными площадками транзистора, а через них – с тем или иным слоем кремния: эмиттерным, базовым или коллекторным. Материалом для шариков служит золото, медь или сплав Sn – Sb. Из того же материала на диэлектрической подложке пленочной ГИС делаются контактные столбики высотой 10–15 мкм и диаметром 150–200 мкм, размещенные в точном соответствии с расположением шариков на кристалле кремния (рис. 1.10, б). Соединение шариков со столбиками осуществляется методом перевернутого монтажа (англ., термин *flip-chip*): кристалл транзистора переворачивается «вверх ногами», т.е. шариками вниз, и накладывается ими на столбики подложки (рис. 1.10, в). Сочетая давление на кристалл с повышением температуры (т.е. в сущности используя термокомпрессию), обеспечивают прочное соединение шариков со столбиками.

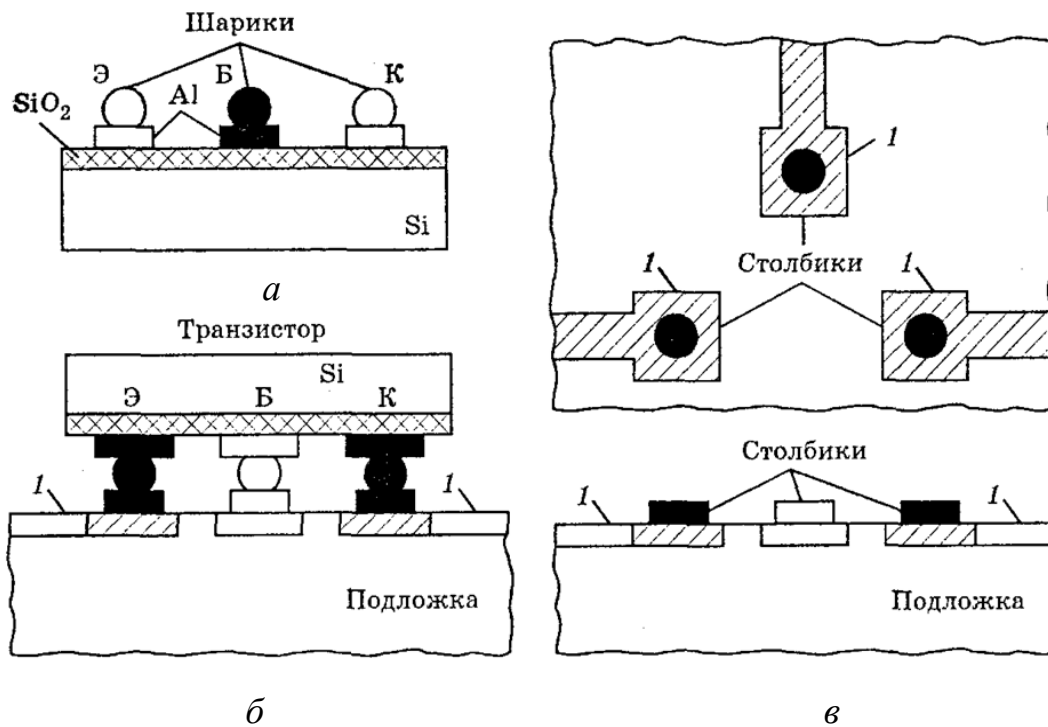


Рис. 1.10. Монтаж бескорпусных транзисторов с шариковыми выводами:
а – транзистор с шариковыми выводами; *б* – соединение шариков с контактными столбиками; *в* – контактные столбики на подложке пленочной ИС;
 1 – контактные площадки на подложке и выводы от них

Как видим, метод перевернутого монтажа существенно экономит площадь подложки ГИС и время, необходимое на разводку активных компонентов. Главная трудность состоит в совмещении шариков со столбиками, поскольку кристалл при наложении перевернут «вверх ногами» и закрывает от оператора места соединения.

Трудность совмещения контактных площадок кристалла и подложки облегчается при использовании второго варианта бескорпусных транзисторов – транзистора с балочными выводами (рис. 1.11, *а*). Здесь контактные площадки продлены за пределы кристалла и нависают над его краями на 100–150 мкм, откуда и название – балки. Толщина балок (10–15 мкм) значительно больше толщины металлической разводки на кристалле. Поэтому их получают не напылением, а электрохимическим осаждением золота (с подслоем из титана). Длина балочных выводов равна 200–250 мкм (включая выступ), а ширина такая же, как у обычных контактных площадок (50–200 мкм).

Получение балок основано на сквозном травлении кремния через фоторезистную маску, нанесенную на нижнюю поверхность пластины (рис. 1.11, *б*). При сквозном травлении одновременно с получением балок достигается разделение пластины на отдельные кристаллы без механического скрайбирования. До начала травления пластина

приклеивается верхней (лицевой) поверхностью к стеклу. Чтобы сократить время травления и избежать бокового растравливания пластины, ее (после приклеивания к стеклу) сошлифовывают.

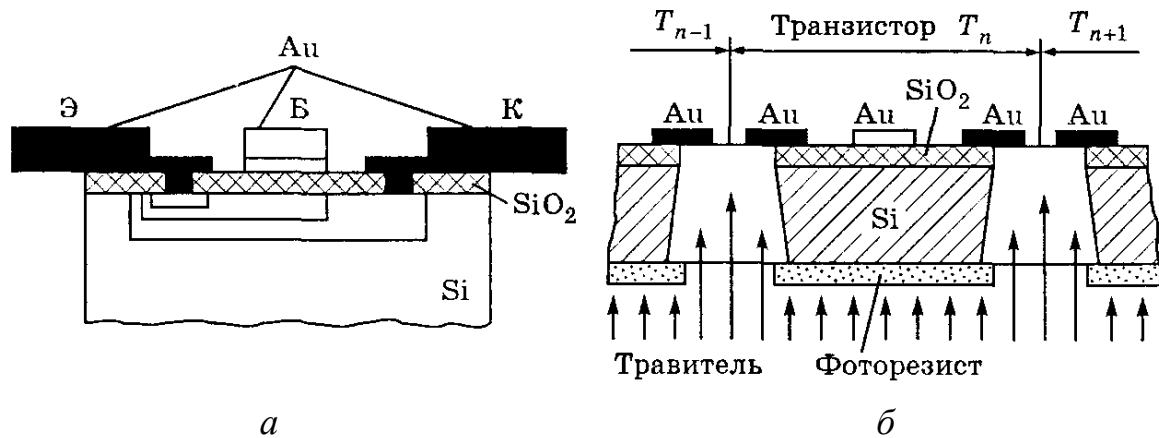


Рис. 1.11. Бескорпусные транзисторы с балочными выводами:
а – транзистор с балочными выводами; б – получение балок и разделение транзисторов на пластине толщиной 200–300 мкм до 50 мкм

Монтаж навесных компонентов с балочными выводами может осуществляться так же, как и в случае шариковых выводов – методом перевернутого монтажа. При этом выступающие балки хорошо видны и их совмещение с контактными площадками на подложке не представляет затруднений. Можно монтировать кристалл и «лицом вверх», но тогда в подложке следует предусмотреть углубление для кристалла.

По окончании травления клей растворяют, и разделенные кристаллы отпадают от стекла.

Изготовление шариковых и балочных выводов сложнее и дороже, чем проволочных, но они обеспечивают существенное упрощение и удешевление сборочных операций и в 4–10 раз позволяют уменьшить площадь на подложке ГИС, отводимую для размещения навесных компонентов. К сожалению, надежность таких соединений ниже, чем в случае использования гибких выводов.

1.5. Технология толстопленочных гибридных интегральных микросхем

Пассивные элементы толстопленочных ГИС получают локальным нанесением на подложку полужидких паст-стеклоэмалей с последующим их высушиванием и вжиганием в подложку. Следовательно, в данном случае пленки приобретают свою толщину сразу, а не постепенно – слой за слоем – как при тонкопленочной технологии.

Последовательность технологических операций при нанесении толстых пленок следующая:

а) нанесение слоя пасты на подложку через маску – накладной трафарет (отсюда название – метод трафаретной печати);

б) выжигание (испарение) растворителя при температуре 300–400 °С и тем самым превращение пасты из полужидкого состояния в твердое;

в) вжигание затвердевшего вещества пасты в подложку – спекание – при температуре 500–700 °С (в зависимости от состава пасты).

Операция вжигания – самая ответственная в технологическом цикле; она требует высокой стабилизации температуры: с точностью ± 1 °С.

В основе всех паст-стеклоэмалей лежит так называемая фритта – тончайший порошок стекла, к которому, в зависимости от назначения пасты, примешивается порошок резистивного, проводящего или диэлектрического материала. Дисперсная (т.е. совершенно однородная) смесь фритты и примесного материала приобретает вязкость при добавлении специальных органических веществ и растворителей. На этапе выжигания растворитель испаряется, а органические вещества связывают частицы порошка в единую компактную массу.

Для проводящих паст примесью обычно служит серебро или золото, для резистивных – смесь серебра и палладия (1:1), а для диэлектрических – титанат бария с высокой диэлектрической проницаемостью. Варьируя материал и процентное содержание примесей, можно изменять электрические параметры пленок в очень широких пределах.

Масками для нанесения паст на подложку служат сетчатые трафареты (рис. 1.12, а). Они представляют собой тонкую сетку из капрона или нержавеющей стали, натянутую на дно рамки. Размер ячеек сетки – около 100 мкм, диаметр нитей – около 50 мкм. Большая часть сетки покрыта пленкой, но в пленке имеются окна. Рисунок окон получают методом фотолитографии, вытравливая отверстия в пленке. Учитывая ячеистую структуру сетки, размеры окон трудно сделать менее 10–200 мкм. Это предопределяет минимальные размеры элементов толстопленочных ГИС и ширину линий.

Рамка с трафаретом заполняется пастой и размещается над подложкой на расстоянии 0,5–1 мм. После этого на сетку опускается специальный нож – ракель, который, перемещаясь вдоль рамки, продавливая пасту через отверстия в сетке (рис. 1.12, б). Несмотря на простоту идеи продавливания, эта операция – прецизионная; на качество будущей пленки и повторяемость результатов оказывают влияние угол заточки ракеля, его наклон относительно подложки, скорость перемещения и другие факторы.

Вообще говоря, сетка на трафарете не обязательна: можно продавливать пасту и через сплошные отверстия. Однако качество пленок при этом хуже, так как сетка обеспечивает более однородные слои в результате слияния отдельных «капель», прошедших через ее ячейки. Толщина получаемых пленок зависит от диаметра нитей и размеров ячеек. Обычно она составляет 20–40 мкм.

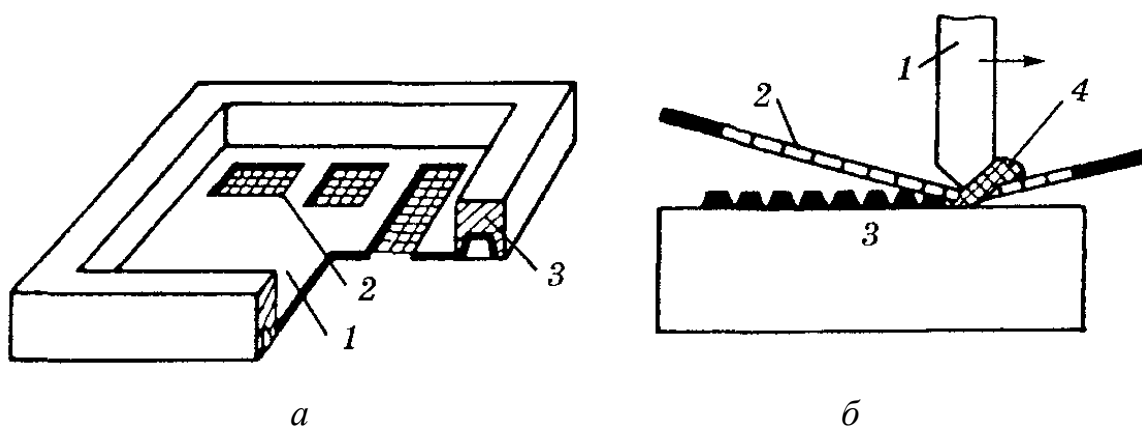


Рис. 1.12. Метод локального нанесения пасты:
а – сетчатый трафарет; *б* – продавливание пасты через трафарет;
 1 – ракель; 2 – сетка; 3 – подложка; 4 – паста

К подложкам для толсто пленочных ГИС предъявляются в общем те же требования, что и для тонко пленочных. Особое внимание часто уделяется повышенной теплопроводности, так как толсто пленочный вариант ГИС характерен для мощных схем. Поэтому распространены высокоглиноземистые керамики (96 % Al_2O_3) и бериллиевые керамики (99,5 % BeO); последние в 7–10 раз превышают глиноземистые по теплопроводности, но уступают им по прочности. Важная отличительная особенность подложек для толсто пленочных ГИС состоит в том, что их поверхность должна быть достаточно шероховатой, чтобы обеспечить необходимую адгезию с веществом пасты. Степень шероховатости характеризуется неровностями до 1–2 мкм.

Методы монтажа навесных компонентов те же, что и у тонко пленочных ГИС, но размеры контактных площадок делают больше: 400×400 мкм.

В целом толсто пленочная технология характеризуется простотой и низкой стоимостью ИС. Однако по сравнению с тонко пленочной технологией плотность компоновки оказывается меньше (из-за большей ширины линий), а разброс параметров – больше (из-за неконтролируемой толщины пленок).

1.6. Аналоговые интегральные микросхемы

Аналоговые интегральные микросхемы предназначены для преобразования электрических сигналов, изменяющихся по закону непрерывной функции. В самом общем смысле под сигналом понимают некоторое физическое явление, несущее информацию о каком-либо событии. В радиоэлектронике сигналы, как правило, представлены в виде электрических колебаний, параметры которых (амплитуда, частота, фаза тока или напряжения) однозначно связаны с каким-либо параметром конкретного физического процесса (громкостью речи или музыки, яркостью отдельных точек изображения и т.д.)

К числу наиболее часто применяемых функциональных преобразований аналоговых сигналов относится усиление электрических колебаний, в результате которого на выходе устройства, называемого усилителем, получают колебания, мощность которых превышает мощность, подводимую к его входу. Усиление происходит за счет того, что схема содержит источник энергии, обычно называемый источником питания, и активный усилительный элемент, обычно транзистор, с помощью которого энергия источника питания преобразуется в энергию электрических колебаний необходимой мощности. Помимо усиления электрических колебаний аналоговые интегральные микросхемы применяют для перемножения аналоговых сигналов, изменения их спектрального состава и т.д.

Схемотехника аналоговых интегральных микросхем характеризуется рядом особенностей:

1) для повышения коэффициента усиления напряжения широко применяют каскады с динамической нагрузкой и составные транзисторы;

2) для стабилизации режима работы широко используют обратные связи и генераторы стабильного тока;

3) в аналоговых интегральных микросхемах избегают применения разделительных конденсаторов и катушек индуктивности; при необходимости используют дополнительные внешние дискретные компоненты;

4) для обеспечения необходимого режима работы по постоянному току внедряют схемы сдвига потенциала;

5) во многих случаях аналоговые интегральные микросхемы питаются от двух полярных источников питания с заземленной средней точкой.

В отличие от дискретных схем аналоговые интегральные микросхемы позволяют добиться более точной обработки аналоговых сигналов, так как все элементы создаются в едином технологическом процессе, и появляется возможность осуществить схемотехнические решения, которые трудно реализуемы на дискретных компонентах. Аналоговые интегральные микросхемы обладают схемотехнической избыточностью, делающей их универсальными.

Контрольные вопросы

1. Поясните смысл понятия «микроэлектроника».
2. На что влияет микроэлектроника?
3. Перечислите три главных аспекта развития микроэлектроники.
4. В чем сущность группового метода изготовления микросхем?
5. Назовите этапы группового метода изготовления интегральных схем.
6. Что такое планарная технология?
7. В чем суть планарной технологии?
8. Какие материалы используют для подложек гибридных ИМС? Перечислите предъявляемые к ним требования.
9. Каковы конструктивные различия тонкопленочных и толстопленочных гибридных ИМС?
10. Каковы основные элементы толстопленочных гибридных ИМС?
11. Дайте краткую характеристику технологического процесса изготовления пленочных гибридных ИМС.
12. Классифицируйте ИС.
13. Дайте определение полупроводниковой ИМС.
14. Охарактеризуйте четыре типа полупроводниковых ИМС.
15. Какие сложности возникают при применении полупроводниковых ИС?
16. Как характеризуется функциональная сложность ИС?
17. Как характеризуется уровень технологии изготовления ИС?
18. Назовите физические преимущества кремния по сравнению с германием.
19. Дайте определение понятию «биполярная ИС».
20. Раскройте понятие «МДП ИС».
21. Что такое совмещенная ИМС?
22. Что такое гибридная ИС?
23. Поясните разницу толстопленочных и тонкопленочных ГИС.

ГЛАВА 2. ПАССИВНЫЕ И АКТИВНЫЕ ЭЛЕМЕНТЫ ПОЛУПРОВОДНИКОВЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Напомним, что элементами ИС (как полупроводниковых, так и гибридных) называют их неделимые составные части – те, которые нельзя отдельно специфицировать и поставить как отдельные изделия. Одна из особенностей элементов ИС по сравнению с аналогичными дискретными приборами или электрорадиоэлементами состоит в том, что они имеют электрическую связь с общей подложкой, а иногда и друг с другом. Поэтому математические и физические модели (эквивалентные схемы) элементов ИС несколько отличаются от моделей дискретных аналогов.

Вторая важная особенность элементов ИС по сравнению с дискретными приборами связана с тем, что все они получаются в едином технологическом процессе. Например, все резисторы пленочной ИС создаются одновременно и, следовательно, характеризуются одинаковыми толщиной и удельным сопротивлением (разница может быть только в длине и ширине слоя). Или в полупроводниковой ИС рабочий слой резистора формируется одновременно с базовым слоем транзистора и, следовательно, имеет те же электрофизические параметры, что и базовый слой. Иначе говоря, при производстве элементов ИС имеется меньше «степеней свободы», чем при изготовлении их дискретных аналогов: можно варьировать главным образом конфигурацией элементов ИС «в плане», т.е. их длиной и шириной, а не глубиной слоев и их электрофизическими параметрами. В результате параметры элементов ИС в значительной мере коррелированы (взаимосвязаны) и ограничены, чего нет у дискретных компонентов.

Отметим, однако, что указанные особенности прежде всего характерны для элементов БИС и СБИС, при изготовлении которых из-за проблем совмещения всегда приходится «экономить» на количестве фотолитографий. Если проблема ограничения количества фотолитографий не превалирует над остальными, параметры элементов ИС могут значительно отличаться.

Помимо указанных двух особенностей, следует отметить, что в процессе развития микроэлектроники появились такие элементы ИС, которые не имеют аналогов в дискретной электронике: многоэмиттерные и многоколлекторные транзисторы, транзисторы с барьером Шоттки, трехмерные элементы и др.

Традиционные компоненты – диоды, конденсаторы и т.п. – изменились конструктивно, как и диапазон их параметров. В полупроводниковых ИС отсутствуют аналоги таких традиционных компонентов, как катушки индуктивности и тем более трансформаторы.

Компонентами ИС называют такие составные части гибридных микросхем, которые можно специфицировать отдельно и поставлять в виде дискретных изделий. Компоненты ГИС представляют собой навесные детали, отличающиеся от «обычных» дискретных компонентов лишь конструктивным оформлением (бескорпусные диоды, транзисторы и ИС).

Главными элементами биполярных полупроводниковых ИС являются n - p - n -транзисторы. Именно на них ориентируются при разработке новых технологических циклов, стараясь обеспечить оптимальные параметры этих транзисторов. Технология всех других элементов (p - n - p -транзисторов, диодов, резисторов и т.п.) должна «приспосабливаться» к технологии n - p - n -транзистора. Такое «приспособление» означает, что для изготовления других элементов следует по возможности избегать дополнительных технологических операций: желательно использовать те же рабочие слои (коллекторный, базовый и эмиттерный), которые необходимы для n - p - n -транзистора. Отсюда такая терминология: «в качестве резистора используется базовый слой» или «рабочий слой резистора получается на этапе базовой диффузии».

Главными элементами МДП-транзисторных ИС до последнего времени были МДП-транзисторы с индуцированным p -каналом. Соответственно, на них ориентировался технологический цикл, и к этому циклу «приспосабливалась» технология остальных элементов. В последние годы, после того как удалось преодолеть трудности изготовления качественных n -канальных МДП-транзисторов и разработать технологию комплементарных МДП (КМДП) схем, последняя, по существу, заняла главное место в технологии ИС.

Все интегральные микросхемы подвергаются герметизации с целью защиты их от внешних воздействий. Они, в свою очередь, подразделяются на корпусные и бескорпусные. Для первых характерна вакуумная герметизация в специальных корпусах или опрессовка в пластмассу, для вторых – покрытие эпоксидным или другими лаками.

2.1. Полупроводниковые материалы

Основу современной микроэлектроники составляют полупроводниковые приборы. Для их реализации используют, как правило, монокристаллические полупроводники – твердые тела с регулярной кристаллической структурой. Наиболее распространённым в интегральной микроэлектронике полупроводниковым материалом является монокристаллический кремний, который имеет кубическую решетку типа алмаза, состоящую из тетраэдров.

Свойства полупроводников обусловлены регулярностью структуры кристалла и зависят от направления кристаллографических осей и плоскостей в кристаллической решетке. Связь атомов в кристаллической решетке кремния и ряда других полупроводников обусловлена специфическими обменными силами, возникающими в результате попарного объединения валентных электронов у смежных атомов. Такая связь называется ковалентной.

В интегральной микроэлектронике применяют примесные полупроводники, в которых примеси вводятся специально для придания кристаллу необходимых свойств. Примесные атомы могут располагаться либо в узлах решетки вместо основных атомов (примесь замещения), либо в междоузлиях решетки (примесь внедрения).

Для изготовления полупроводниковых приборов и ИМС используют выпускаемые промышленностью пластины кремния четырех видов: однослойные p - и n -типов электропроводности, двухслойные p -типа с эпитаксиальным слоем n -типа, двухслойные p -типа с эпитаксиальным слоем n -типа и скрытым слоем n^+ -типа, гетероэпитаксиальные структуры типа кремний на сапфире [1].

2.2. Транзисторы n - p - n

Поскольку n - p - n -транзисторы составляют основу биполярных ИС, они и будут рассмотрены наиболее подробно, включая технологию изготовления. При этом следует считать, что изоляция осуществлена методом разделительной диффузии. Особенности, обусловленные другими методами изоляции, в необходимых случаях оговариваются.

Распределение примесей. На рис. 2.1 показано распределение примесей в слоях интегрального транзистора со скрытым n^+ -слоем.

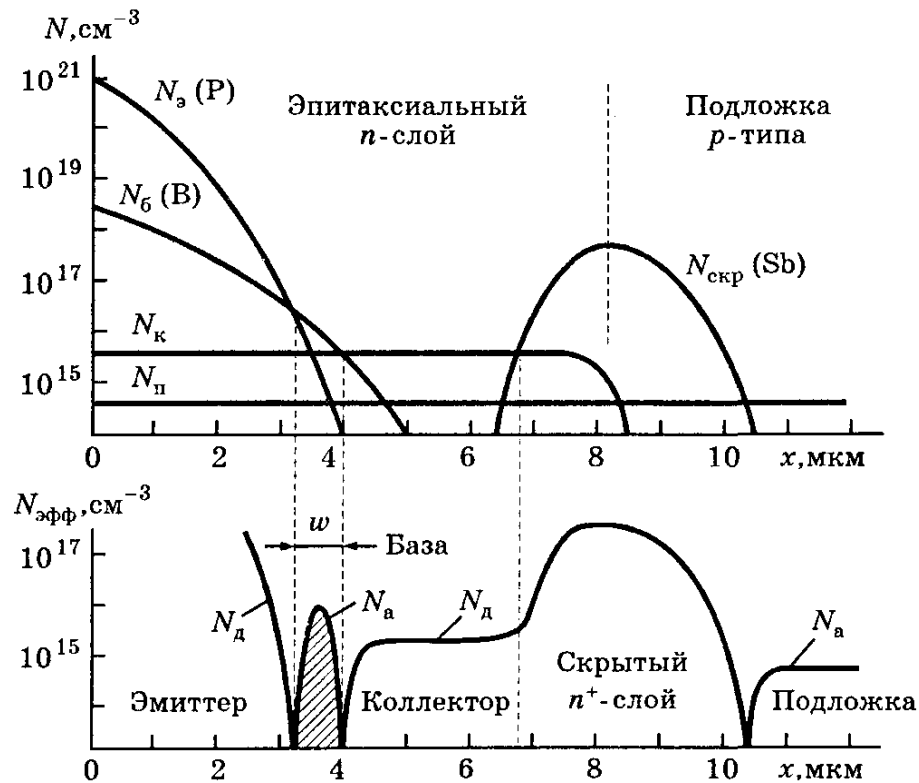


Рис. 2.1. Распределение концентрации примесей и эффективных концентраций в структуре интегрального n - p - n -транзистора

Следует обратить внимание на то, что распределение эффективной концентрации акцепторов в базовом слое оказывается немонотонным. Соответственно, немонотонным оказывается и распределение дырок. Справа от точки максимума градиент концентрации дырок отрицательный и внутреннее поле (по отношению к инжектированным электронам) является ускоряющим. Это характерно для всех дрейфовых транзисторов. Однако слева от точки максимума градиент концентрации положительный, а значит поле является тормозящим. Наличие участка с тормозящим полем приводит к некоторому увеличению результирующего времени пролета носителей через базу. Однако расчеты показывают, что это увеличение составляет всего 20–30 % и для приближенных оценок может не учитываться.

Конфигурации и рабочие параметры. Конфигурации интегральных транзисторов (в плане) имеют несколько вариантов. Два из них показаны на рис. 2.2.

Первая конфигурация (рис. 2.2, а) называется асимметричной: в ней коллекторный ток протекает к эмиттеру только в одном направлении (на рис. 2.2, а – справа). Вторая конфигурация (рис. 2.2, б) называется симметричной: в ней коллекторный ток протекает к эмиттеру с трех сторон. Соответственно, сопротивление коллекторного слоя $r_{\text{кк}}$ оказывается примерно в 3 раза меньше, чем у асимметричной конфигурации.

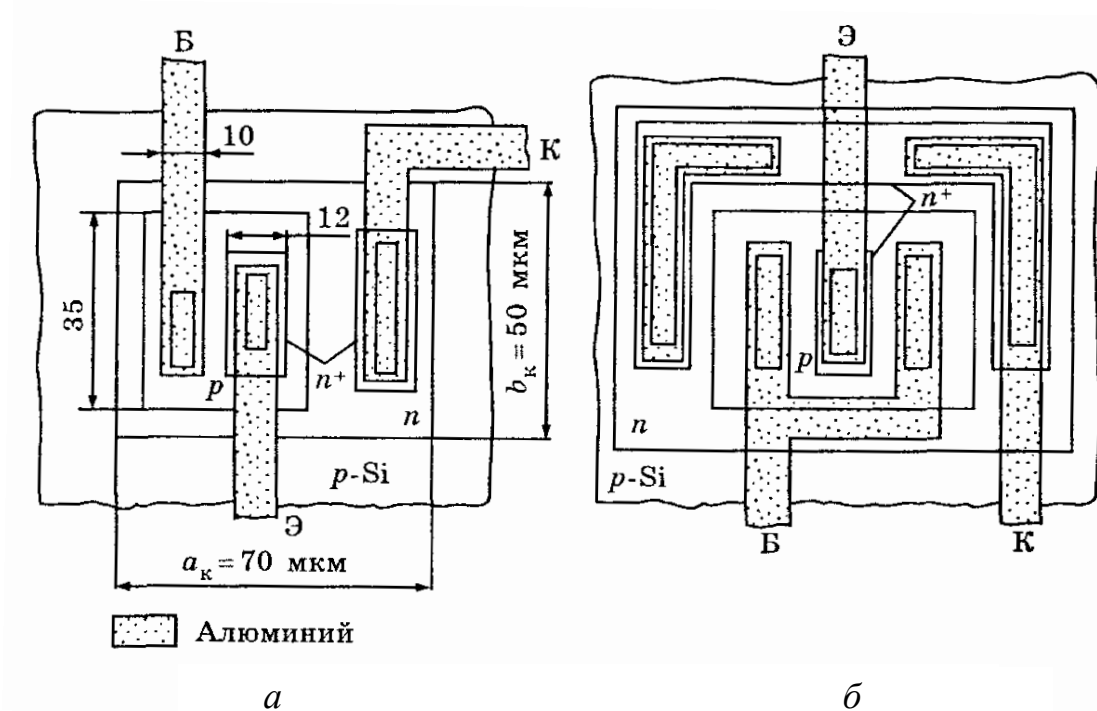


Рис. 2.2. Конфигурация (топология) транзисторов:
а – асимметричная; *б* – симметричная

Вторая конфигурация характерна также тем, что контактное окно и металлизация коллектора разбиты на две части. При такой конструкции облегчается металлическая разводка: алюминиевая полоска (например, эмиттерная на рис. 2.2, *б*) может проходить над коллектором по защитному окислу, покрывающему поверхность ИС.

Для примера на рис. 2.2, *а* приведены относительные размеры слоев интегрального *n-p-n*-транзистора для минимального литографического разрешения, равного 10 мкм. Для этого случая в табл. 2.1 приведены типичные параметры этих слоев, а в табл. 2.2 – типичные параметры транзисторов.

Таблица 2.1

Типичные параметры слоев интегрального *n-p-n*-транзистора

Наименование слоя	$N, \text{см}^{-3}$	$d, \text{мкм}$	$\rho, \text{Ом}\cdot\text{см}$	$R_s, \text{Ом}/\square$
Подложка <i>p</i> -типа	$1,5 \cdot 10^{15}$	300	10	–
Скрытый n^+ -слой	–	5–10	–	8–20
Коллекторный <i>n</i> -слой	10^{16}	10–15	0,5	500
Базовый <i>p</i> -слой	$5 \cdot 10^{18}$	2,5	–	200
Эмиттерный n^+ -слой	10^{21}	2	–	5–15

Таблица 2.2

Типичные параметры интегральных n - p - n -транзисторов

Параметр	Номинал	Допуск δ , %
Коэффициент усиления B	100–200	± 30
Предельная частота f_T , МГц	200–500	± 20
Коллекторная емкость C_K , пФ	0,3–0,5	± 10
Пробивное напряжение $U_{кб}$, В	40–50	± 30
Пробивное напряжение $U_{эб}$, В	7–8	± 5

Примечание: N – концентрация примеси (для диффузных базового и эмиттерного слоев – поверхностная концентрация); d – глубина слоя; ρ – удельное сопротивление материала; R_S – удельное сопротивление слоя.

Величину R_S , фигурирующую в табл. 2.1, называют удельным сопротивлением слоя. Происхождение этого параметра следующее. Пусть имеется прямоугольная полоска материала длиной a , шириной b и толщиной d . Если ток протекает вдоль полоски (т.е. параллельно ее поверхности), то сопротивление полоски можно записать в виде:

$$R = \rho(a/bd) = R_S(a/b), \quad (2.1)$$

где $R_S = \rho/d$. Если слой неоднороден по толщине (например, если он получен диффузией примеси), то величина R_S запишется в общем виде:

$$R_S = \left(\int_0^d \sigma(x) dx \right)^{-1}, \quad (2.2)$$

где $\sigma(x) = 1/\rho(x)$ – удельная проводимость материала в плоскости, расположенной на расстоянии x от поверхности.

При условии $a = b$ прямоугольная полоска принимает квадратную форму, а ее сопротивление делается равным R_S . Значит, величину R_S можно определить как продольное сопротивление слоя или пленки квадратной конфигурации. Чтобы подчеркнуть последнюю оговорку, вместо истинной размерности «Ом» пишут «Ом/□» (читается: «Ом на квадрат»). Зная величину R_S , легко рассчитать сопротивление слоя или пленки прямоугольной конфигурации по известным значениям a и b .

Из табл. 2.2 видно, что пробивное напряжение эмиттерного перехода в 5–7 раз меньше, чем коллекторного. Эта особенность, свойственная всем дрейфовым транзисторам, связана с тем, что эмиттерный переход образован более низкоомными слоями, чем коллекторный. При включении транзистора с общим эмиттером пробойное напряжение коллекторного перехода уменьшается. Если база достаточно тонкая ($w < 1$ мкм), то пробой обычно обусловлен эффектом смыкания, а его напряжение характеризуется выражением:

$$U_w = (qN_6 / 2\varepsilon_0\varepsilon)w_0^2. \quad (2.3)$$

Паразитные параметры. На рис. 2.3, а показана упрощенная структура интегрального n - p - n -транзистора, выполненного по методу разделительной диффузии. Особенность интегрального транзистора состоит в том, что его структура (с учетом подложки) – четырехслойная: наряду с рабочими эмиттерным и коллекторным переходами имеется третий (паразитный) переход между коллекторным n -слоем и подложкой p -типа. Наличие скрытого n^+ -слоя (не показанного на рис. 2.3, а) не вносит принципиальных изменений в структуру.

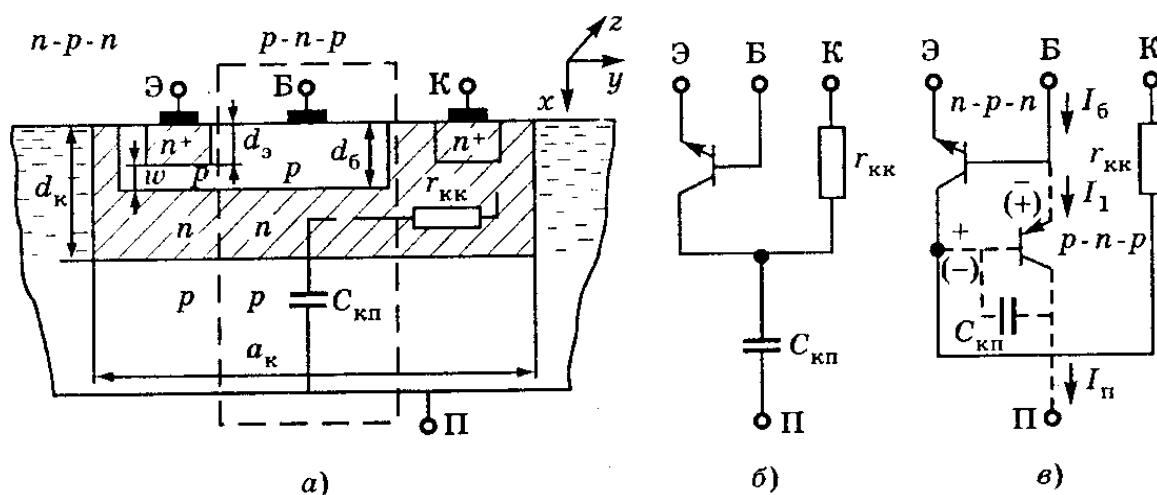


Рис. 2.3. Интегральный n - p - n -транзистор:

а – упрощенная структура с выделенным паразитным p - n - p -транзистором;

б – упрощенная модель; в – полная модель

Подложку ИС (если она имеет проводимость p -типа) присоединяют к самому отрицательному потенциалу. Поэтому напряжение на переходе «коллектор – подложка» всегда обратное или (в худшем случае) близко

к нулю. Следовательно, этот переход можно заменить барьерной емкостью $C_{кп}$, показанной на рис. 2.3, а.

Вместе с горизонтальным сопротивлением коллекторного слоя $r_{кк}$ емкость $C_{кп}$ образует RC -цепочку, которая подключена к активной области коллектора. Тогда эквивалентная схема интегрального n - p - n -транзистора имеет такой вид, как показано на рис. 2.3, б.

Цепочка $r_{кк} - C_{кп}$, шунтирующая коллектор, – главная особенность интегрального n - p - n -транзистора. Эта цепочка, естественно, ухудшает его быстродействие и ограничивает предельную частоту и время переключения.

Поскольку подложка находится под неизменным потенциалом, ее можно считать заземленной по переменным составляющим. Поэтому, дополняя малосигнальную эквивалентную схему ОБ цепочкой $r_{кк} - C_{кп}$ и пренебрегая сопротивлением $r_{б}$, можно прийти к выводу, что емкость $C_{кп}$ складывается с емкостью $C_{к}$, а сопротивление $r_{кк}$ – с внешним сопротивлением $R_{к}$. Соответственно, эквивалентная постоянная времени запишется следующим образом:

$$\tau_{\alpha \text{ ое}} = \tau_{\alpha} + (C_{к} + C_{кп}) (r_{кк} + R_{к}). \quad (2.4)$$

Из выражения (2.4) очевидно, что паразитные параметры $C_{кп}$ и $r_{кк}$ ограничивают быстродействие интегрального транзистора в идеальных условиях, когда $\tau_{\alpha} = 0$, $C_{к} = 0$ и $R_{к} = 0$. В этом случае $\tau_{\alpha \text{ ое}}$ равна постоянной времени подложки:

$$\tau_{п} = C_{кп} \cdot r_{кк}. \quad (2.5)$$

Например, если $C_{кп} = 2$ пФ и $r_{кк} = 100$ Ом, получится $\tau_{п} = 0,2$ нс, соответствующая граничная частота $f_{п} = 1/2\pi\tau_{п} \approx 800$ МГц. С учетом параметров τ_{α} , $C_{к}$ и при наличии внешнего сопротивления $R_{к}$ эквивалентная постоянная времени возрастает, а граничная частота уменьшается.

Значение $r_{кк} = 100$ Ом, использованное в предыдущем примере, характерно для транзисторов без скрытого n^{+} -слоя. При наличии скрытого слоя типичны значения $r_{кк} = 10$ Ом. Тогда постоянная времени $\tau_{п}$ оказывается на порядок меньше, и влияние подложки становится мало существенным.

Соотношение между емкостями $C_{кп}$ и C_k зависит, в первую очередь, от соотношения площадей соответствующих переходов и концентраций примеси в слоях подложки и коллектора. Обычно $C_{кп} = (2-3)C_k$.

При расчете емкости $C_{кп}$ следует учитывать не только донную часть перехода «коллектор – подложка», но и его боковые (вертикальные) части (рис. 2.3, *а*). Удельная емкость боковых частей больше, чем донной, поскольку концентрация акцепторов в разделительных слоях возрастает в направлении от дна перехода к поверхности (на рис. 2.3, *а* эта концентрация характеризуется густотой штриховки). Типичное значение удельной емкости для донной части составляет $C_{0x} = 100 \text{ пФ/мм}^2$, а для боковых частей $C_{0y,z} = 150-250 \text{ пФ/мм}^2$. Обычно все три составляющие емкости $C_{кп}$ оказываются почти одинаковыми и лежат в пределах 0,5–1,5 пФ.

Пассивную область базы вместе с лежащими под ней областями коллектора и подложки можно представить как некий паразитный *p-n-p*-транзистор. На рис. 2.3, *а* структура такого транзистора обведена штриховой линией, а эквивалентная схема, характеризующая взаимосвязь рабочего *n-p-n*-транзистора с паразитным, показана на рис. 2.3, *в*.

Если *n-p-n*-транзистор работает в нормальном активном режиме ($U_{кб} > 0$), то паразитный транзистор находится в режиме отсечки ($U_{эб} < 0$, см. знаки без скобок). В этом случае коллекторный переход паразитного транзистора представлен емкостью $C_{кп}$ (рис. 2.3, *б*). Если же *n-p-n*-транзистор работает в инверсном режиме или в режиме двойной инжекции ($U_{эб} < 0$), то паразитный *p-n-p*-транзистор находится в активном режиме ($U_{эб} > 0$, см. знаки в скобках). При этом в подложку уходит ток $I_{п} = \alpha_{p-n-p} I_1$, где I_1 – часть базового тока (рис. 2.3, *в*).

Утечка базового тока в подложку ухудшает параметры транзистора в режиме двойной инжекции. Поэтому транзисторы, предназначенные для работы в таком режиме, специально легируют золотом. Атомы золота играют в кремнии роль ловушек, т.е. способствуют уменьшению времени жизни носителей. Соответственно, коэффициент α_{p-n-p} уменьшается до значений менее 0,1, и утечкой тока в подложку можно пренебречь.

В случае диэлектрической изоляции паразитный *p-n-p*-транзистор отсутствует, но емкость $C_{кп}$ сохраняется. Она, как уже отмечалось, меньше, чем при изоляции *p-n*-переходом. Если диэлектриком является двуокись кремния, то удельная емкость при толщине 1 мкм составляет около 35 пФ/мм^2 .

Типовой технологический цикл. Промышленность поставляет разработчику ИС готовые пластины кремния, прошедшие механическую и химическую обработку. Поэтому можно считать, что в начале технологического цикла имеется пластина кремния p -типа с отполированной поверхностью, покрытой тонким, естественным слоем окисла. В этой пластине групповым методом нужно изготовить транзисторы со структурой, показанной на рис. 2.1, б. Последовательность операций будет следующая:

1. Общее окисление пластины.
 2. 1-я фотолитография: создание окон в окисле «под скрытые n^+ -слои».
 3. 1-я диффузия (создание скрытых n^+ -слоев, рис. 2.4, а); диффузант – мышьяк или сурьма.
 4. Стравливание окисла со всей поверхности.
 5. Нарастивание эпитаксиального n -слоя (при этом скрытый n^+ -слой несколько диффундирует как в подложку, так и в эпитаксиальный слой).
 6. Общее окисление.
 7. 2-я фотолитография: создание окон в окисле «под разделительную диффузию».
 8. 2-я диффузия (создание разделительных p -слоев и соответственно изолированных n -карманов в эпитаксиальном слое, рис. 2.4); диффузант – бор.
 9. 3-я фотолитография: создание окон в окисле «под базовую диффузию».
 10. 3-я диффузия (создание базовых p -слоев, рис. 2.4, б); диффузант – бор. Диффузия двухстадийная – «загонка» и «разгонка».
 11. 4-я фотолитография: создание окон в окисле «под эмиттерную диффузию и омические контакты коллекторов».
 12. 4-я диффузия (создание n^+ -слоев, рис. 2.4, в); диффузант – фосфор. Иногда эта диффузия тоже двухстадийная.
 13. 5-я фотолитография: создание окон в окисле «под омические контакты».
 14. Общее напыление алюминия на пластину (рис. 2.4, г).
 15. 6-я фотолитография: создание окон в фоторезисте «под металлическую разводку».
 16. Травление алюминия через фоторезистную маску, снятие фоторезиста (рис. 2.4, д).
 17. Термическая обработка для вжигания алюминия в кремний.
- Сборочные операции опускаются. К рассмотренному технологическому циклу необходимо сделать несколько дополнительных замечаний.

В последнее время промышленность начала выпускать пластины с уже осуществленным эпитаксиальным слоем и скрытым n^+ -слоем. В таком случае первые пять операций отпадают.

В п. 10 отмечено, что диффузия бора на этапе базовой диффузии – двухстадийная («загонка» и «разгонка»). Такое, казалось бы, усложнение процесса имеет серьезные основания и является общепринятым.

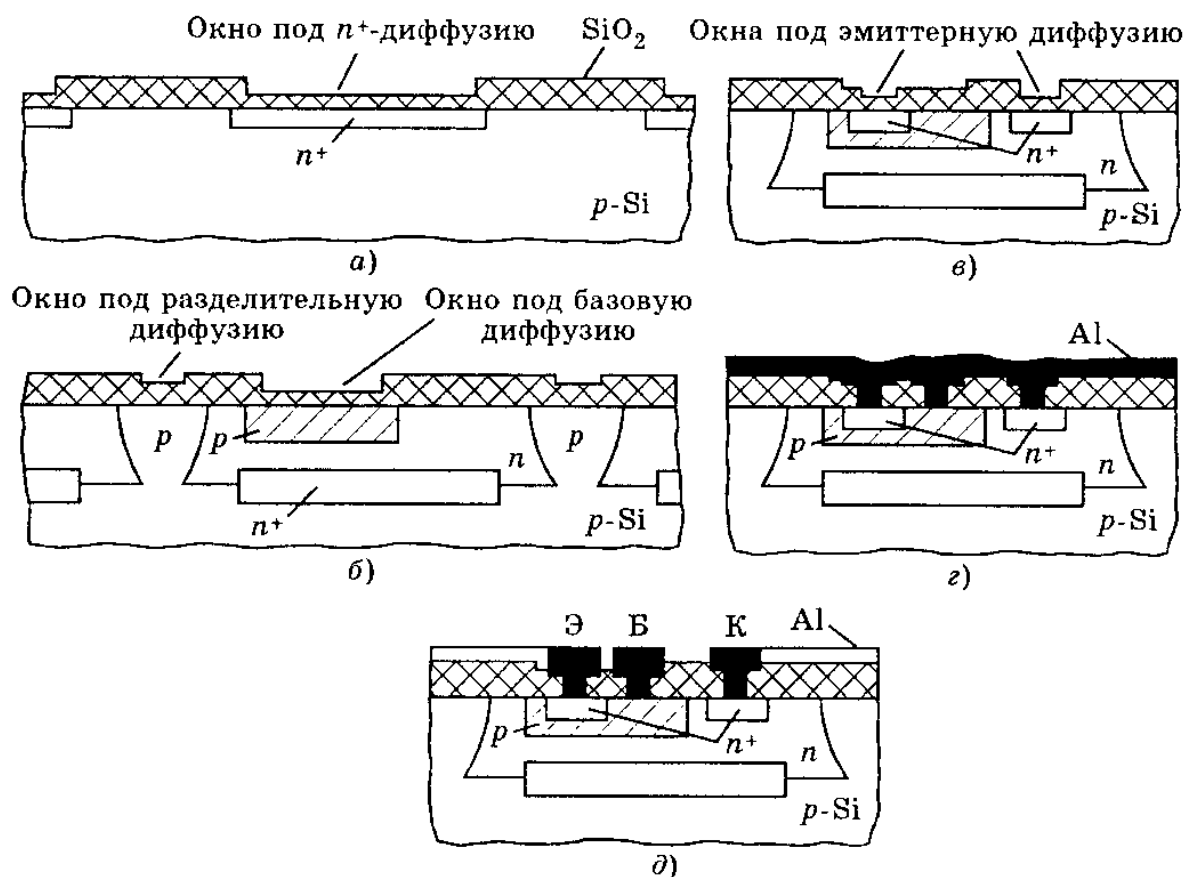


Рис. 2.4. Этапы технологического цикла создания интегрального n - p - n -транзистора со скрытым n^+ -слоем методом разделительной диффузии:
 а – создание скрытых слоев; б – создание базовых слоев в эпитаксиальных карманах;
 в – создание эмиттерных слоев и слоев под омические контакты коллекторов;
 г – общая металлизация; д – создание рисунка металлической разводки

Действительно, для того чтобы коэффициент инжекции эмиттерного перехода составлял не менее 0,999, концентрация примеси в эмиттерном слое должна превышать концентрацию в базовом слое не менее чем в 100 раз. Между тем предельные растворимости бора и фосфора при оптимальных температурах различаются всего в 3 раза. Для того чтобы преодолеть это противоречие, нужно понизить приповерхностную концентрацию бора. Это можно сделать несколькими способами.

Можно проводить диффузию бора при столь низкой температуре, при которой его предельная растворимость будет в 100 раз меньше, чем у фосфора; однако тогда коэффициент диффузии уменьшится на несколько порядков и ее придется проводить в течение ряда суток или даже недель. Можно понизить температуру в зоне источника диффузанта и таким образом создать «диффузантный голод» вблизи поверхности пластины; однако этот процесс трудно контролируется. Таким образом, двухстадийная диффузия оказывается оптимальным решением: во время «разгонки» поверхностную концентрацию легко уменьшить в десятки раз и более (рис. 2.4, б).

Температуру «разгонки» делают на 150–200 °С больше, чем температура «загонки», чтобы повысить коэффициент диффузии примеси и сократить время процесса. Типичное время «загонки» составляет 20–40 мин (при температуре 1000–1050 °С), а «разгонки» – несколько часов (при температуре около 1200 °С).

Внедрение фосфора на этапе эмиттерной диффузии (п. 12) – последняя высокотемпературная операция в цикле (температура выбирается на 100–150 °С ниже температуры «разгонки» бора, чтобы не изменить глубину коллекторного p - n -перехода). Длительность этой операции определяет толщину n^+ -слоя, а значит, и ширину базы транзистора. У современных планарных транзисторов типичная ширина базы составляет 0,4–0,5 мкм.

В заключение следует заметить, что в результате неоднократных операций фотолитографии, окисления и диффузии рельеф окисной пленки перед металлизацией оказывается сложным – многоступенчатым. В ряде случаев это затрудняет получение хорошей адгезии алюминия с поверхностью окисла. Обычно на рисунках, иллюстрирующих структуру (разрез) транзисторов или ИС, многоступенчатость окисла для простоты не показывают.

2.3. Многоэмиттерный транзистор

Структура многоэмиттерного транзистора (МЭТ) показана на рис. 2.5, а. Такие транзисторы составляют основу весьма распространенного класса цифровых ИС – так называемых схем ТТЛ. Количество эмиттеров может составлять 5–8 и более.

В первом приближении МЭТ можно рассматривать как совокупность отдельных транзисторов с соединенными базами и коллекторами (рис. 2.5, б). Особенности МЭТ как единой структуры следующие (рис. 2.5, в).

Во-первых, каждая пара смежных эмиттеров вместе с разделяющим их p -слоем базы образует горизонтальный (иногда говорят – продольный) транзистор типа $n^+ - p - n^+$. Если на одном из эмиттеров действует прямое напряжение, а на другом обратное, то первый будет инжектировать электроны, а второй будет собирать те из них, которые инжектированы через боковую поверхность эмиттера и прошли без рекомбинации расстояние между ними. Такой транзисторный эффект является для МЭТ паразитным: в обратносмещенном переходе, который должен быть запертым, будет протекать ток. Чтобы избежать горизонтального транзисторного эффекта, расстояние между эмиттерами, вообще говоря, должно превышать диффузионную длину носителей в базовом слое. Если транзистор легирован золотом, то диффузионная длина не превышает 2–3 мкм и практически оказывается достаточным расстояние 10–15 мкм.

Во-вторых, важно, чтобы МЭТ имел как можно меньший инверсный коэффициент передачи тока. В противном случае в инверсном режиме, когда эмиттеры находятся под обратным напряжением, а коллектор под прямым, носители, инжектируемые коллектором, будут в значительной мере достигать эмиттеров, и в цепи последних, несмотря на их обратное смещение, будет протекать ток – паразитный эффект, аналогичный отмеченному выше.

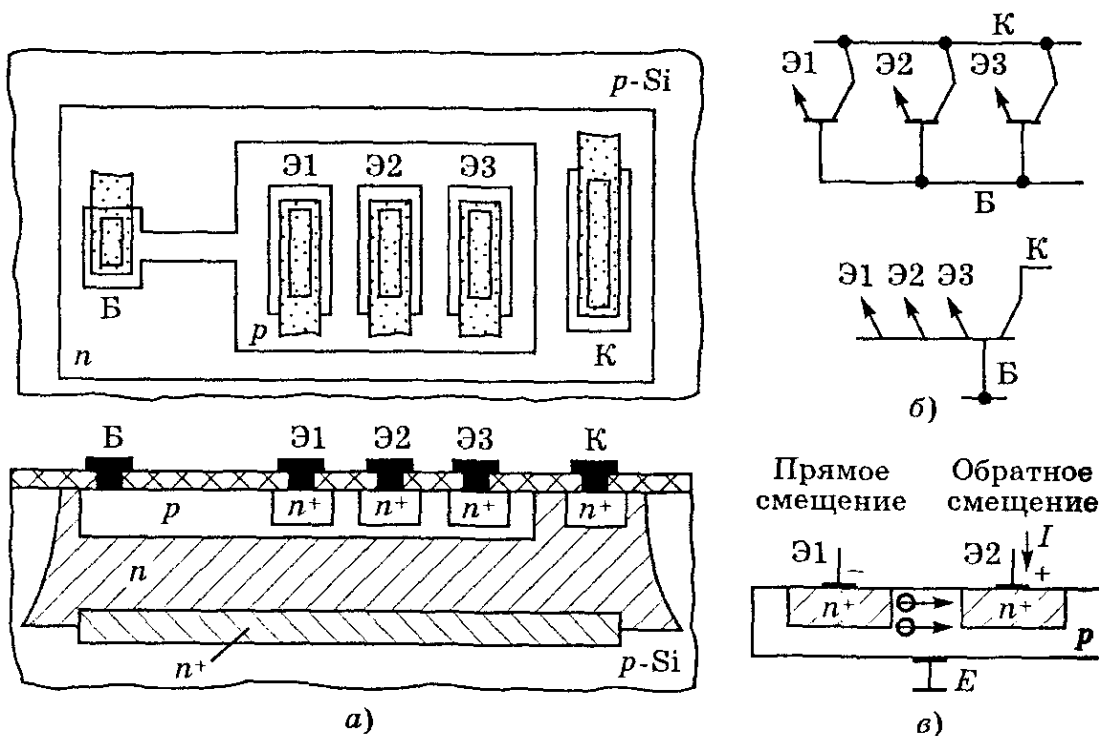


Рис. 2.5. Многоэмиттерный транзистор:
 а – топология и структура; б – схемные модели;
 в – взаимодействие между смежными эмиттерами

Как известно, инверсный коэффициент передачи всегда меньше нормального из-за различий в степени легирования и в площадях эмиттера и коллектора. Чтобы дополнительно уменьшить инверсный коэффициент α_I в МЭТ, искусственно увеличивают сопротивление пассивной базы, удаляя омический базовый контакт от активной области транзистора (рис. 2.5, *а*). При такой конфигурации сопротивление узкого «перешейка» между активной областью и базовым контактом может составлять 200–300 Ом, а падение напряжения на нем от базового тока 0,1–0,15 В. Значит, прямое напряжение на коллекторном переходе (в инверсном режиме) будет в активной области на 0,1–0,15 В меньше, чем вблизи базового контакта. Соответственно, инжекция электронов из коллектора в активную область базы будет незначительной, и паразитные токи через эмиттеры будут практически отсутствовать.

2.4. Многоколлекторные *n-p-n*-транзисторы

Структура многоколлекторного транзистора (МКТ), показанная на рис. 2.6, *а*, не отличается от структуры МЭТ. Различие состоит лишь в ее использовании. Можно сказать, что МКТ – это МЭТ, используемый в инверсном режиме: общим эмиттером является эпитаксиальный *n*-слой, а коллекторами служат высоколегированные n^+ -слои малых размеров. Такое решение составляет основу одного из популярных классов цифровых ИС – так называемых схем инжекционной логики I^2L . Эквивалентная схема МКТ показана на рис. 2.6, *б*.

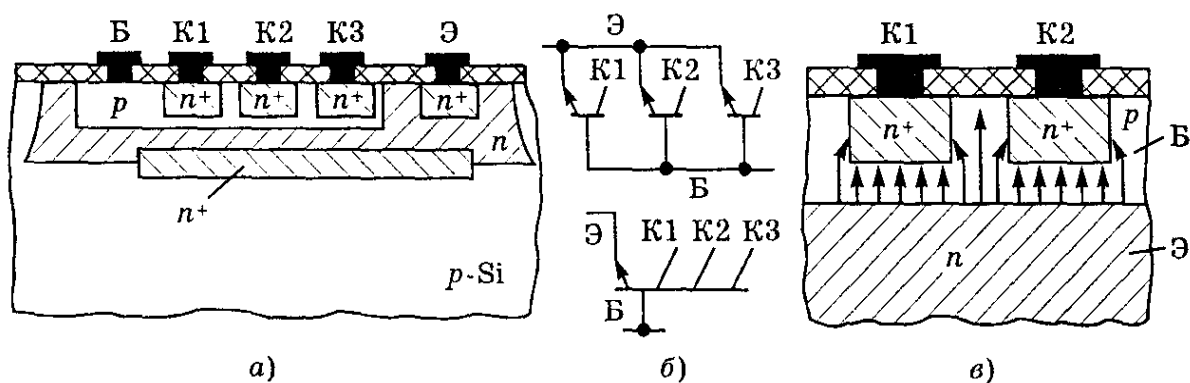


Рис. 2.6. Многоколлекторный транзистор: *а* – структура; *б* – схемные модели; *в* – траектория движения инжектированных носителей

Главной проблемой при разработке МКТ является увеличение нормального коэффициента передачи тока от общего *n*-эмиттера (инжектора) к каждому из n^+ -коллекторов. Естественно, что эта проблема – обратная той,

которая решалась в случае МЭТ, когда коэффициент передачи от n -слоя к n^+ -слоям старались уменьшать.

В данном случае желательно, чтобы скрытый n^+ -слой располагался как можно ближе к базовому или просто контактировал с ним (как, например, при ИКД технологии). Тогда этот высоколегированный n^+ -слой, будучи эмиттером, обеспечит высокий коэффициент инжекции. Что касается коэффициента переноса, то для его повышения n^+ -коллекторы следует располагать как можно ближе друг к другу, сокращая тем самым площадь пассивной области базы. Оба пути, конечно, ограничены конструктивно-технологическими факторами. Тем не менее, даже при сравнительно разреженном расположении коллекторов, можно получить коэффициенты передачи на всю совокупность коллекторов $\alpha = 0,8\text{--}0,9$ или коэффициенты усиления $\beta = 4\text{--}10$. Этого достаточно для функционирования схем И²Л, если число коллекторов не превышает 3–51.

На рис. 2.6, в показаны траектории движения инжектированных носителей в базе. Носители двигаются так, что их доля, попадающая на коллекторы, существенно больше, чем если ее рассчитывать по формальному отношению площади коллектора к площади эмиттера. Именно поэтому реальный коэффициент β имеет те сравнительно большие значения, которые приведены выше. Следовательно, при расчете коэффициентов α и β нужно использовать не геометрические, а эффективные площади.

Из рис. 2.6, в видно также, что средняя длина траектории носителей значительно превышает толщину активной базы w . Поэтому среднее время диффузии будет значительно меньше, чем у МЭТ и отдельных транзисторов. Разница во временах пролета еще больше, поскольку в МКТ поле базы для инжектированных носителей является не ускоряющим, а тормозящим. Время пролета $t_{\text{пр}}$ составляет не менее 5–10 нс, а соответствующая предельная частота f_T – не более 20–50 МГц.

С другой стороны, коллекторная емкость C_K у МКТ значительно меньше, чем у МЭТ и обычных транзисторов, из-за малой площади n^+ -коллектора. Поэтому членами $C_K R_K$ и $C^* R_K$ часто можно пренебречь.

2.5. Транзистор с барьером Шоттки

На рис. 2.7 показана структура интегрального транзистора с барьером Шоттки (ТШ). Здесь очень изящно решена задача сочетания транзистора с диодом Шоттки: алюминиевая металлизация, обеспечивающая омический контакт с p -слоем базы, проделана в сторону коллекторного n -слоя.

На первый взгляд, коллекторный слой оказался закороченным со слоем базы. На самом же деле алюминиевая полоска образует с p -слоем базы невыпрямляющий, омический контакт, а с n -слоем коллектора – выпрямляющий контакт Шоттки.

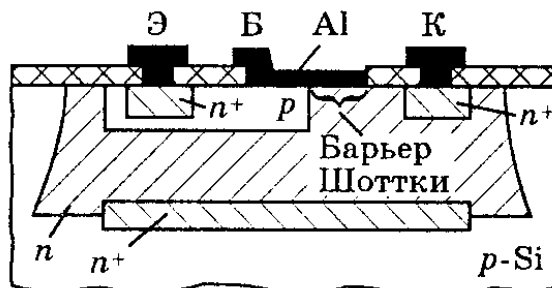


Рис. 2.7. Интегральный транзистор с барьером Шоттки

Разумеется, структурное решение, показанное на рис. 2.7, можно использовать не только в простейшем транзисторе, но и в МЭТ. В обоих случаях отсутствуют накопление и рассасывание избыточных зарядов, в результате получается существенный (в 1,5–2 раза) выигрыш во времени переключения транзисторов из полностью открытого в запертое состояние.

2.6. Супербета транзистор

Это название присвоено транзисторам со сверхтонкой базой: $w = 0,2–0,3$ мкм. При такой ширине базы коэффициент усиления базового тока составляет $\beta = 3000–5000$ и более, откуда и следует их название.

Получение сверхтонкой базы представляет серьезную технологическую проблему. Во-первых, ширина базы есть разность глубин базового и эмиттерного слоев: $w = d_6 - d_3$. Если допуск на ширину базы составляет $\pm 10\%$, т.е. $0,02$ мкм, то при глубине базового слоя $d_6 = 2$ мкм глубина эмиттерного слоя должна составлять $d_3 = 1,8 \pm 0,02$ мкм. Значит, эмиттерная диффузия должна осуществляться с допуском $\pm 1,25\%$, что лежит на пределе технологических возможностей. Во-вторых, когда в процессе диффузии эмиттерного слоя его металлургическая граница приближается к металлургической границе коллекторного слоя на расстояние $0,4$ мкм, наступает так называемый эффект оттеснения коллекторного перехода: дальнейшая диффузия атомов фосфора в эмиттерном слое сопровождается диффузией (с той же скоростью) атомов бора в базовом слое. Можно сказать, что эмиттерный слой «продавливает» металлургическую границу ранее полученного базового слоя (рис. 2.8). При этом толщина базы сохраняет значение около $0,4$ мкм.

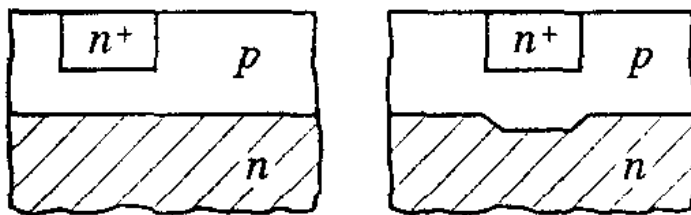


Рис. 2.8. Иллюстрация проблемы получения сверхтонкой базы

Для того чтобы преодолеть отмеченные трудности и обеспечить воспроизводимость ширины базы, потребовались многолетние усилия физиков-технологов. Большой коэффициент усиления у супербета транзисторов достигается величиной очень малого пробивного напряжения (1,5–2 В). Это результат эффекта смыкания переходов, свойственного транзисторам с тонкой базой. Поэтому супербета транзисторы являются не универсальными, а специализированными элементами ИС. Их главная область применения – входные каскады операционных усилителей.

Необходимо заметить, что дальнейшее уменьшение ширины базы до 0,1 мкм и менее связано уже не столько с технологическими, сколько с принципиальными физическими проблемами, а именно: если принять среднюю концентрацию акцепторов в базе равной $8 \cdot 10^{15} \text{ см}^{-3}$, то на 1 см длины их приходится $2 \cdot 10^5$. При ширине базы 0,1 мкм (т.е. 10^{-5} см) оказывается, что в базе располагаются всего два слоя акцепторных атомов. При этом теряет смысл понятие градиента концентрации примеси (и связанное с ним понятие внутреннего поля), качественно меняются процессы рассеяния и характер движения носителей в базе. Тем самым классическая теория транзисторов в значительной мере теряет силу.

2.7. Полевой транзистор

Полевые транзисторы (ПТ) хорошо вписываются в общую технологию биполярных ИС и потому часто изготавливаются совместно с биполярными транзисторами на одном кристалле. Типичные структуры ПТ, расположенные в изолированных карманах, показаны на рис. 2.9.

В структуре, показанной на рис. 2.9, *a*, *p*-слой затвора образуется на этапе базовой диффузии, а *n*⁺-слои, обеспечивающие омический контакт с областями истока и стока, – на этапе эмиттерной диффузии. Заметим, что *p*-слой затвора окружает сток со всех сторон, так что ток между истоком и стоком может протекать только через управляемый канал.

В n -карманах, предназначенных для ПТ, вместо скрытого n^+ -слоя осуществляется скрытый p^+ -слой. Назначение этого слоя – уменьшить начальную толщину канала a и тем самым напряжение отсечки. Осуществление скрытого p^+ -слоя связано с дополнительными технологическими операциями. Для того чтобы скрытый p^+ -слой проник в эпитаксиальный слой достаточно глубоко, в качестве акцепторного диффузанта используют элементы с большим коэффициентом диффузии (бор или галлий).

На подложку, а значит, и на p^+ -слой задают постоянный (максимально отрицательный) потенциал; поэтому они не выполняют управляющих функций.

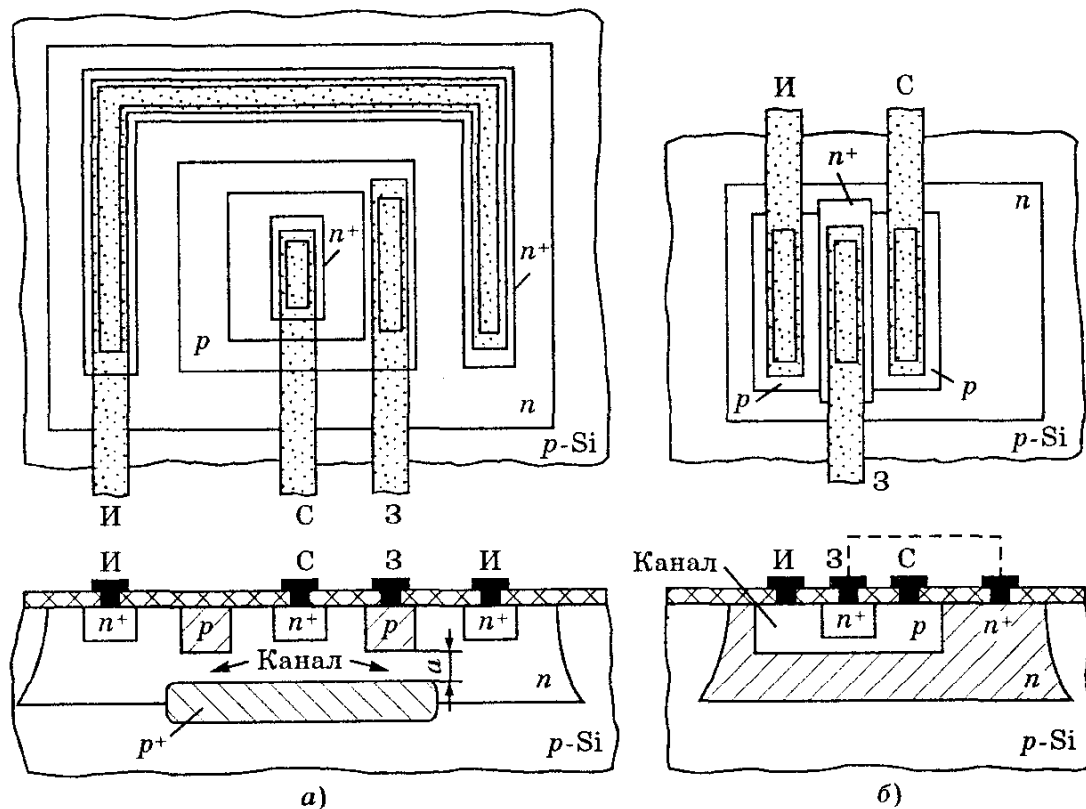


Рис. 2.9. Интегральные полевые транзисторы:
а – с n -каналом; б – с p -каналом

Структура, показанная на рис. 2.9, б, совпадает со структурой обычного n - p - n -транзистора. Роль канала играет участок базового p -слоя, расположенный между n^+ - и n -слоями. Если при совместном изготовлении ПТ и биполярного транзистора не использовать дополнительных технологических процессов, то толщина канала будет равна ширине базы n - p - n -транзистора (0,5–1 мкм). При такой малой толщине канала получаются большой разброс параметров ПТ и малое напряжение пробоя.

Поэтому целесообразно пойти на усложнение технологического цикла, осуществляя p -слой ПТ отдельно от базового p -слоя с тем, чтобы толщина канала была не менее 1–2 мкм. Для этого проводят предварительную диффузию p -слоя ПТ до базовой. Тогда во время базовой диффузии p -слой ПТ дополнительно расширяется, и его глубина оказывается несколько больше глубины базового слоя.

Для того чтобы области истока и стока соединялись только через канал, n^+ -слой делают более широким (в плане), чем p -слой (рис. 2.9, б). В результате n^+ -слой контактирует с эпитаксиальным n -слоем и вместе они образуют «верхний» и «нижний» затворы. В нижней части рис. 2.9, б контакт между «верхним» и «нижним» затворами условно показан штриховой линией. Подложка p -типа присоединяется к максимальному отрицательному потенциалу.

2.8. МДП-транзисторы. Интегральные схемы на МОП- и биполярных структурах

Вообще говоря, совместное изготовление МДП- и биполярных транзисторов на одном кристалле, в едином технологическом цикле возможно, но является специальным случаем. Как правило, биполярные и МДП-транзисторные ИС разрабатываются и изготавливаются отдельно. Эти два типа ИС предназначены либо для решения разных функциональных задач, либо для решения одной и той же задачи, но с использованием преимуществ соответствующего класса транзисторов. Главную роль в современной микроэлектронике играют МДП-транзисторы (рис. 2.10), в которых диэлектриком является SiO_2 , их называют МОП-транзисторами.

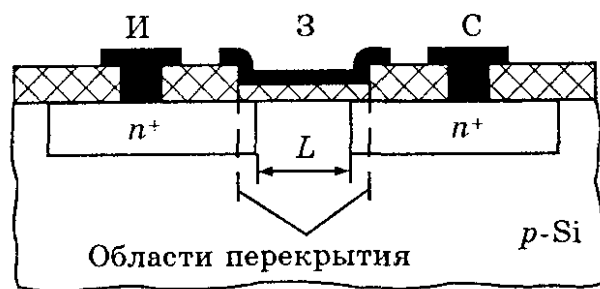


Рис. 2.10. Интегральный МОП-транзистор (с перекрытием затвора)

Простейший МОП-транзистор. Поскольку интегральные МДП-транзисторы не нуждаются в изоляции, их структура внешне не отличается от структуры дискретных вариантов. На рис. 2.10 воспроизведена структура МОП-транзистора с индуцированным n -каналом. Нужно отметить особенности этого транзистора как элемента ИС.

Из сопоставления рис. 2.1, 2.5 и 2.6 очевидна, прежде всего, технологическая простота МОП-транзистора по сравнению с биполярными: необходимы всего лишь один процесс диффузии и четыре процесса фотолитографии (под диффузию, тонкий окисел, омические контакты и металлизацию). Технологическая простота обеспечивает меньший брак и низкую стоимость.

Отсутствие изолирующих карманов способствует лучшему использованию площади кристалла, т.е. повышению степени интеграции элементов. Однако, с другой стороны, отсутствие изоляции делает подложку общим электродом для всех транзисторов. Это обстоятельство может привести к различию параметров у внешне идентичных транзисторов. Действительно, если на подложку задан постоянный потенциал, а истоки транзисторов имеют разные потенциалы (такое различие свойственно многим схемам), то будут разными и напряжения $U_{пи}$ между подложкой и истоками. Это равносильно различию пороговых напряжений МДП-транзисторов.

Как известно, главным фактором, лимитирующим быстродействие МДП-транзисторов, обычно являются паразитные емкости. Металлическая разводка, используемая в ИС, гораздо компактнее проволочного монтажа, свойственного узлам и блокам, выполненным на дискретных компонентах. Поэтому паразитные емкости интегрального МОП-транзистора меньше, чем дискретного, а его быстродействие соответственно в несколько раз выше.

Паразитные барьерные емкости переходов истока и стока ($C_{пи}$ и $C_{пс}$) МДП-транзистора при размерах n^+ -слоев 20×40 мкм лежат в пределах 0,04–0,10 пФ.

Удельная емкость металлизации определяется элементарной формулой

$$C_{0м} = \epsilon_0 \epsilon / d, \quad (2.6)$$

где d – толщина защитного окисла, ϵ – его диэлектрическая проницаемость. Подставляя $\epsilon = 4,5$ и $d = 0,7$ мкм, получается типичное значение $C_{0м} \approx 60$ пФ/мм². При ширине полосы металлизации 15 мкм погонная емкость составит 0,9 пФ/мм. Как видим, полосы длиной всего 50–100 мкм могут иметь емкость 0,05–0,09 пФ, сравнимую с емкостями переходов $C_{пи}$ и $C_{пс}$. Еще больший вклад вносят контактные площадки: при площади 100×100 мкм² их емкость составляет около 0,6 пФ.

Емкости перекрытия $C_{\text{пи}}$ и $C_{\text{пс}}$ не поддаются сколько-нибудь точному расчету, так как площадь перекрытия характерна большим разбросом из-за неровности краев металлизации затвора и границ диффузионных слоев (рис. 2.10). Порядок величин можно оценить, полагая толщину тонкого окисла $d = 0,12$ мкм. Тогда из (2.6) можно определить удельную емкость тонкого окисла $C_0 \approx 350$ пФ/мм². При ширине истока и стока 40 мкм и перекрытии 2 мкм получены средние значения $C_{\text{зи}} = C_{\text{зс}} \approx 0,03$ пФ. Эти значения меньше, чем значения других емкостей. Поэтому, в частности, емкостью $C_{\text{зи}}$ часто пренебрегают. Однако емкость $C_{\text{зс}}$, представляющая собой конденсатор обратной связи между выходом транзистора (стоком) и входом (затвором), проявляется во многих схемах не как таковая, а в виде гораздо большей эквивалентной емкости $K \cdot C_{\text{зс}}$ (благодаря так называемому эффекту Миллера). Множитель K есть коэффициент усиления схемы: он может составлять от нескольких единиц до нескольких десятков и более. Поэтому эквивалентная емкость обратной связи $K \cdot C_{\text{зс}}$ может достигать значений 0,1–0,5 пФ, т.е. превышать все остальные емкости.

В комплементарных МОП-транзисторных ИС (КМОП) на одном и том же кристалле необходимо изготавливать транзисторы обоих типов: с n - и p -каналом. При этом один из типов транзисторов нужно размещать в специальном кармане. Например, если в качестве подложки используется p -кремний, то n -канальный транзистор можно осуществить непосредственно в подложке, а для p -канального транзистора потребуется карман с электронной проводимостью (рис. 2.11, а). Получение такого кармана в принципе несложно, но связано с дополнительными технологическими операциями (фотолитография, диффузия доноров и др.). Кроме того, затрудняется получение низкоомных p^+ -слоев в верхней (сильно легированной) части n -кармана. Другим способом изготовления КМОП-транзисторов на одной подложке является технология КНС. В этом случае на сапфировой подложке создаются «островки» кремния с собственной проводимостью, после чего в одних «островках» проводится диффузия донорной примеси и получаются n -канальные транзисторы, а в других – диффузия акцепторной примеси и образуются p -канальные транзисторы (рис. 2.11, б). Хотя количество технологических операций и в этом случае больше, чем при изготовлении транзисторов одного типа, зато отпадают трудности, связанные с получением низкоомных слоев истока и стока (см. выше).

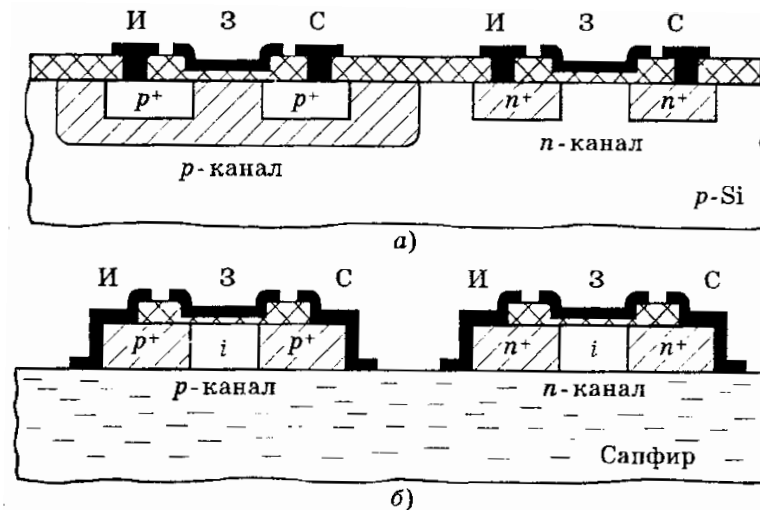


Рис. 2.11. Комплементарные МОП-транзисторы:
 а — использование изолирующего n -кармана; б — применение воздушной изоляции (технология КНС)

Что касается сочетания МОП-транзисторов с биполярными, то в принципе оно осуществляется просто (рис. 2.12): n -канальные транзисторы изготавливаются непосредственно в p -подложке на этапе эмиттерной диффузии, а p -канальные — в изолирующих карманах на этапе базовой диффузии.

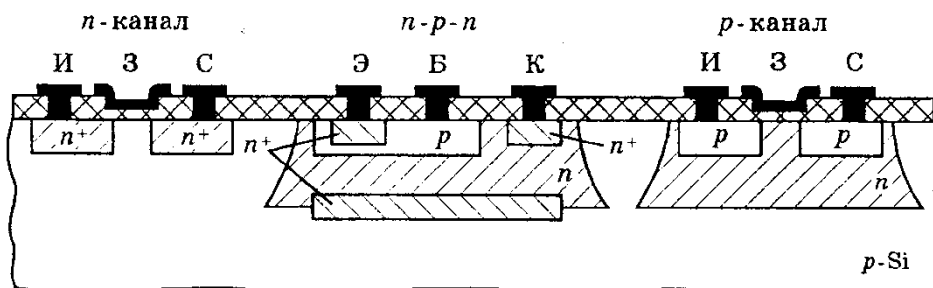


Рис. 2.12. Сочетание биполярных и МОП-транзисторов на одном кристалле

В процессе развития микроэлектроники усовершенствование МОП-транзисторов происходило по двум главным направлениям: повышение быстродействия и снижение порогового напряжения. В основе последней тенденции лежало стремление снизить рабочие напряжения МОП-транзисторов и рассеиваемую ими мощность. Поскольку полная мощность кристалла ограничена, уменьшение мощности, рассеиваемой в одном транзисторе, способствует повышению степени интеграции, а снижение напряжений питания облегчает совместную работу МОП-транзисторных и низковольтных биполярных ИС без специальных согласующих элементов.

Биполярные структуры обеспечивают высокоточное преобразование аналоговых величин и обладают большими управляющими токами. КМОП-схемы имеют большую степень интеграции, малую потребляемую мощность и эффективно используются в запоминающих устройствах.

В настоящее время активно развивается технология, позволяющая интегрально объединить биполярные и КМОП-схемы в одном кристалле и таким образом существенно расширить функциональные возможности ИС, БИС и особенно СБИС. На рис. 2.13 приведен пример интеграции И²Л-структур с КМОП-структурами с биполярными *p*-карманами. Аналогичное совмещение возможно в случае КМОП-структур с биполярными *n*-карманами.

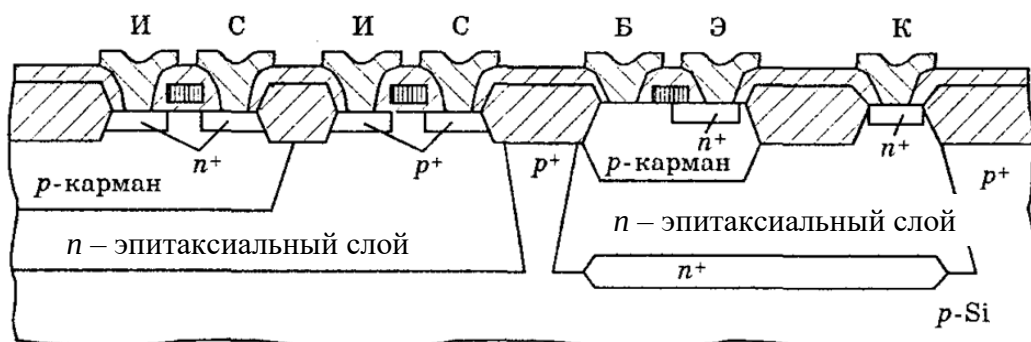


Рис. 2.13. КМОП-структура с *p*-карманами и кремниевыми затворами

2.9. Новые технологии в разработке интегральных микросхем

Ближайшее прошлое и настоящее — это эра кремниевой транзисторной схемотехники и планарных СБИС. В качестве дальнейшего развития полупроводниковой техники можно отметить направление «*Beyond CMOS*», которое предполагает поиск других технологических решений, отличных от уже существующей КМОП-технологии, а также направление «*More than Moore*», которое предлагает разнообразить их путем слияния с технологиями биочипов и микросенсоров [5, 7].

Ниже рассмотрены новые технологии в разработке интегральных микросхем.

1. 3D-транзистор. Одним из важнейших путей решения проблем планарной микроэлектроники является переход к разработке трехмерных (3D) компонентов схем.

Первые результаты в этой области (трехмерные *FinFET*-транзисторы) были получены в Японии. Технология *High-k* позволяет избежать утечки тока благодаря использованию новых материалов транзисторов. Но существует

стремление разрешить имеющиеся для транзисторов проблемы более радикальным способом. Речь идет о разработке 3D-транзисторов, структура которых принципиально отличается от уже принятой.

На рис. 2.14 представлены модификации полевого 3D-транзистора, разработанного японскими учеными. Основная проблема таких транзисторов – технологическая сложность реализации СБИС на их базе, требующая новых подходов к проектированию и современных технологий.

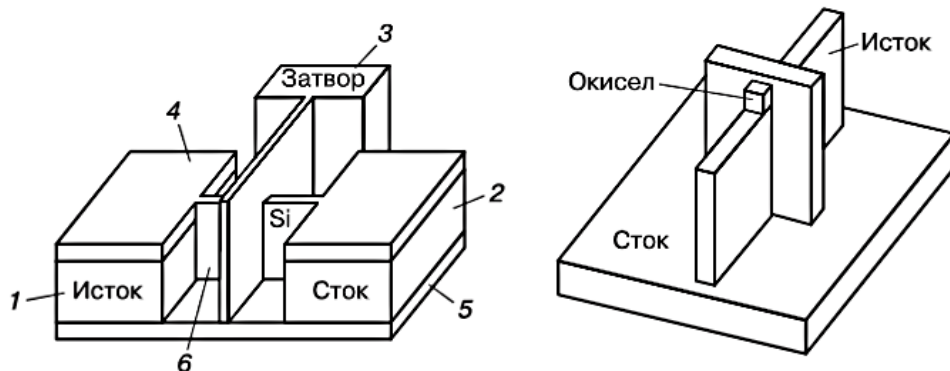


Рис. 2.14. Структуры 3D-транзистора:

1 – исток, 2 – сток, 3 – затвор, 4 – контакт, 5 – подложка, 6 – кремниевый канал

Все результаты в этой области ограничиваются МОП-транзисторами, т.е. структурами с размерностью $N = 4$. Это означает, что логические элементы по-прежнему синтезируются из транзисторов.

Данная разработка, хотя и считается радикальным методом разрешения проблем, присущих сегодняшним транзисторам, не полностью устраняет проблемы логических схем, основанных на них. Без этого эффект от «объемизации» структуры микроэлементов может оказаться не слишком заметным.

2. *FinFET*-транзистор. *FinFET*-транзисторы – вертикальные полевые транзисторы «плавникового» типа с нелегированными (не содержащими добавок) кремниевыми каналами (рис. 2.15).

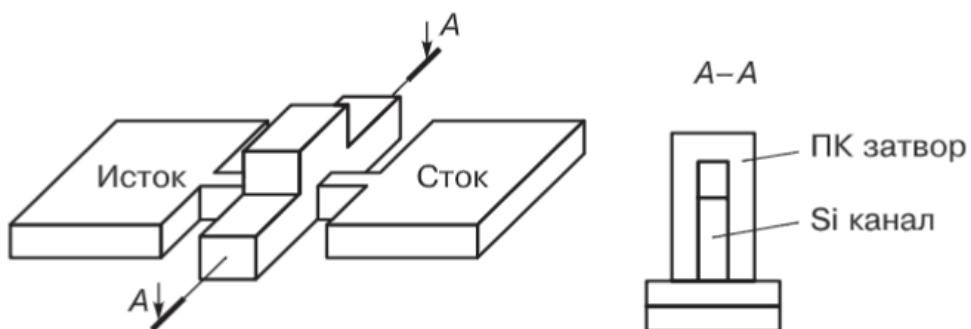


Рис. 2.15. Структура *FinFET* транзистора

Их использование является альтернативным подходом, позволяющим добиться уменьшения площади элементов памяти *SRAM* с минимальным изменением основных характеристик.

Исследователи изучили эффект случайного варьирования свойств *FinFET*-транзисторов в сверхминиатюрных элементах *SRAM*. В ходе моделирования было установлено, что стабильность характеристик *FinFET*-транзисторов без легирования каналов повышается на 28 %.

При моделировании ячеек *SRAM* площадью 0,063 мкм² (это эквивалентно 22-нанометровым электронным цепям) полученные результаты показали, что элементы памяти *FinFET SRAM* потенциально обладают значительным преимуществом с точки зрения стабильности работы по сравнению с существующими элементами *SRAM* на базе планарных *FET*-транзисторов.

2.10. Диоды

В цифровых и аналоговых ИМС диоды находят широкое применение для выполнения как основных логических операций (И, ИЛИ), так и вспомогательных функций: расширителей по входу, смещения и фиксации уровней напряжения, ускорения процессов включения и выключения и др. Поэтому к основным электрическим параметрам диодов в ИМС предъявляют разные требования.

Диоды в полупроводниковых ИМС изготавливают на основе тех же диффузионных (эпитаксиальных) слоев и переходов, что и биполярные транзисторы. Поэтому на практике в качестве диодов принято использовать транзисторные структуры $n-p-n^+$ -типа, так как при создании ИМС транзисторы все равно необходимо формировать, а получение диодов таким путем значительно проще, чем изготовление специализированных структур. Это означает, что диоды и транзисторы формируются одновременно. Поскольку диоды изготавливают на одной пластине кремния в едином технологическом процессе, возможности оптимизации их параметров ограничены. Для получения диодов на основе транзисторных структур используют различные схемы диодного включения транзисторов. На рис. 2.16 показаны структуры и модели пяти различных вариантов (схем) диодного включения планарно-эпитаксиальных транзисторов, изолированных обратным смещенным $p-n$ -переходом.

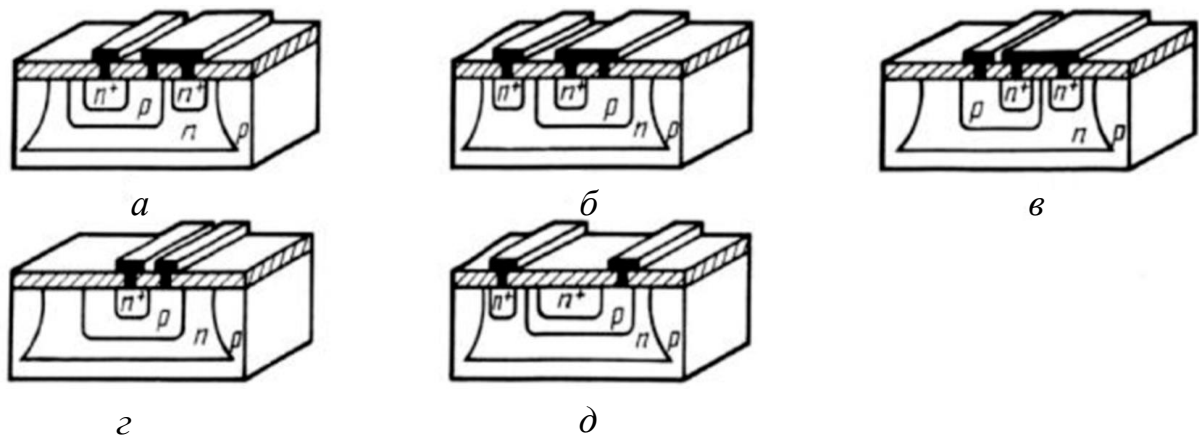


Рис. 2.16. Структуры интегральных диодов с использованием переходов:

а – «эмиттер – база», а переход «коллектор – база» замкнут ($U_{кб} = 0$);

б – «коллектор – база», а эмиттер замкнут на базу ($U_{эб} = 0$);

в – используются оба перехода, но эмиттер накоротко соединен с коллектором ($U_{кэ} = 0$);

г – «эмиттер – база», а коллектор разомкнут ($I_k = 0$);

д – «коллектор – база», а эмиттер разомкнут ($I_э = 0$) [1]

2.11. Резисторы в структуре интегральных микросхем

Первоначально в полупроводниковых ИС применялись только диффузионные резисторы (ДР), основу которых составлял один из диффузионных слоев, расположенных в изолированном кармане. В настоящее время большое распространение получили также ионно-имплантированные резисторы.

Для диффузионных резисторов чаще всего используется полоска базового слоя с двумя омическими контактами (рис. 2.17, а). Для такой полосковой конфигурации сопротивление ДР, согласно (2.1), записывается в виде

$$R = R_s(a/b), \quad (2.7)$$

где R_s – удельное сопротивление слоя, а размеры a и b показаны на рис. 2.17.

И длина, и ширина полоскового ДР ограничены. Длина a не может превышать размеров кристалла. Ширина b ограничена возможностями фотолитографии, боковой диффузией, а также допустимым разбросом (10–20 %).

При подстановке в (2.7) значений $R_s = 200 \text{ Ом}/\square$ и $a/b = 100$ получится типичное значение максимального сопротивления $R_{\max} = 20 \text{ кОм}$. Его можно

повысить в 2–3 раза, используя не полосковую, а зигзагообразную конфигурацию ДР (рис. 2.17, б). В этом случае сопротивление записывается в более общем виде:

$$R = R_s \left(\frac{\sum a_i}{b} + n + 1,3 \right). \quad (2.8)$$

Здесь n – количество «петель» (на рис. 2.17, б $n = 2$), а слагаемое 1,3 учитывает неоднородность ДР в районе омических контактов.

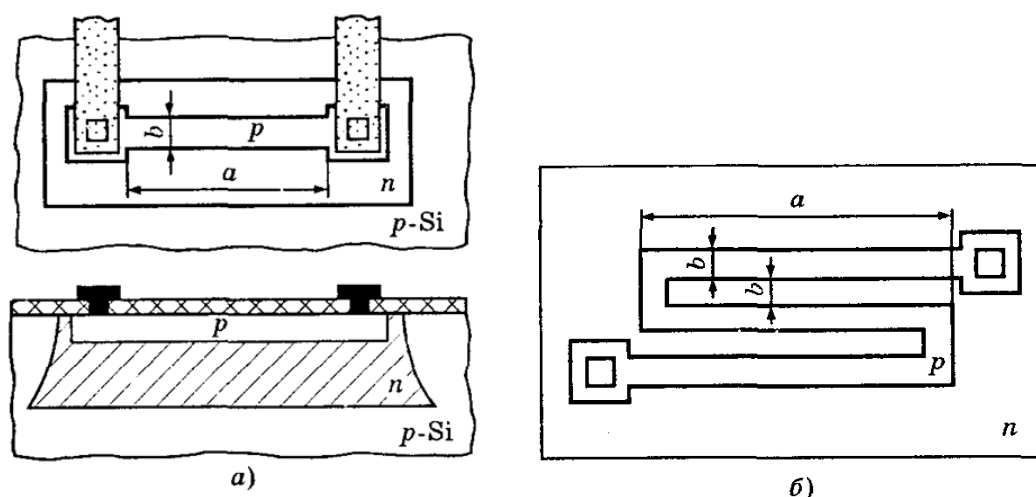


Рис. 2.17. Диффузионный резистор с конфигурациями:
а – с полосковой; б – с зигзагообразной

Количество «петель» в конечном счете ограничено площадью, отводимой под ДР. Обычно $n < 3$, в противном случае площадь резистора может достигать 15–20 % площади всего кристалла. Максимальное сопротивление при $n = 3$ не превышает 50–60 кОм.

Температурный коэффициент сопротивления ДР, выполненного на основе базового слоя, составляет 0,15–0,30 %/°С, в зависимости от значения R_s . Разброс сопротивлений относительно расчетного номинала равен $\pm (15–20) \%$. При этом сопротивления резисторов, расположенных на одном кристалле, меняются в одну и ту же сторону. Поэтому их отношение сохраняется с гораздо меньшим допуском ($\pm 3 \%$ и менее), а температурный коэффициент для него не превышает $\pm 0,01 \%$ /°С. Эта особенность ДР играет важную роль и широко используется

при разработке ИС.

Если необходимые номиналы сопротивлений превышают 50–60 кОм, можно применять так называемые пинч-резисторы. Структура пинч-резистора показана на рис. 2.18. По сравнению с простейшим ДР пинч-резистор имеет меньшую площадь сечения и большее удельное сопротивление (так как используется донная, т.е. слабо легированная часть p -слоя). Поэтому у пинч-резисторов удельное сопротивление слоя обычно составляет 2–5 кОм/□ и более, в зависимости от толщины. При таком значении R_s максимальное сопротивление может достигать 200–300 кОм даже при простейшей полосковой конфигурации.

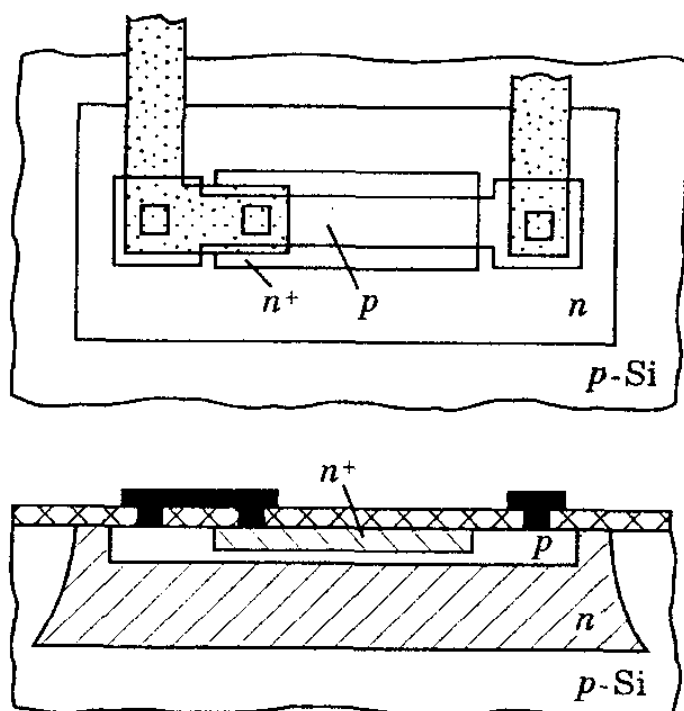


Рис. 2.18. Пинч-резистор

Недостатками пинч-резисторов являются: большой разброс номиналов (до 50 %) из-за сильного влияния изменения толщины p -слоя, высокий температурный коэффициент сопротивления (0,3–0,5 %/°C) из-за меньшей степени легирования донной части p -слоя, нелинейность вольт-амперной характеристики (ВАХ) при напряжениях более 1–1,5 В. Последняя особенность вытекает из аналогии между структурами пинч-резистора и полевого транзистора. ВАХ пинч-резистора совпадает с ВАХ полевого транзистора, если напряжение на затворе последнего положить равным нулю (поскольку у пинч-резистора слои n^+ и p соединены друг с другом металлизацией). Пробивное напряжение пинч-резисторов определяется пробивным напряжением эмиттерного перехода (обычно 5–7 В).

Если необходимые номиналы сопротивлений составляют 100 Ом и менее, то использование базового слоя в ДР нецелесообразно, так как согласно (2.7) ширина резистора должна быть меньше его длины, что конструктивно трудно осуществить. Для получения ДР с малыми номиналами сопротивлений используют низкоомный эмиттерный слой. При значениях $R_s = 5\text{--}15\text{ Ом}/\square$, свойственных этому слою (табл. 2.1), удастся получить минимальные сопротивления 3–5 Ом с температурным коэффициентом 0,01–0,02 %/°С.

За последнее время все большее распространение получают ионно-легированные резисторы, которые в отличие от ДР, формируются не диффузией, а локальной ионной имплантацией примеси.

Структура ионно-легированного резистора такая же, как ДР (рис. 2.19), но глубина имплантированного p -слоя значительно меньше глубины базового слоя и составляет всего 0,2–0,3 мкм. Кроме того, ионная имплантация позволяет обеспечить сколь угодно малую концентрацию примеси в слое. Оба фактора способствуют получению весьма высоких удельных сопротивлений слоя – до 10–20 кОм/ $\square$. При этом номиналы сопротивлений могут составлять сотни кОм. Температурный коэффициент сопротивления (ТКС) меньше, чем у ДР, и лежит в пределах 3–5 %/°С, а разброс сопротивлений не превышает $\pm(5\text{--}10)\%$.

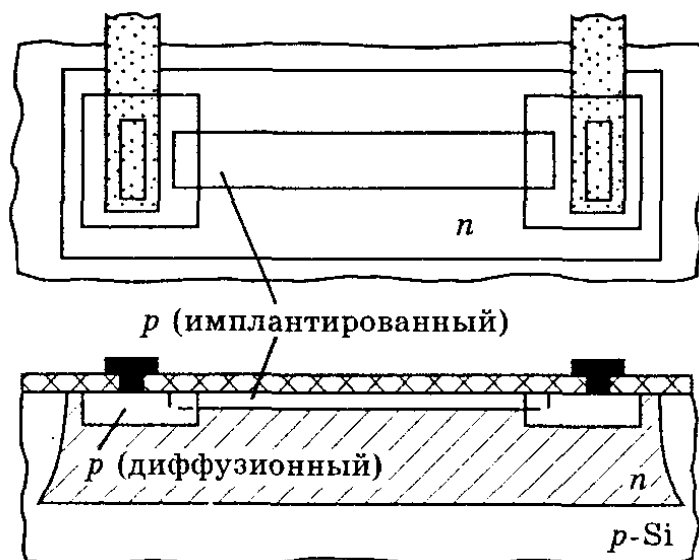


Рис. 2.19. Ионно-легированный резистор

Поскольку толщина имплантированного слоя мала, к нему трудно осуществить омические контакты. Поэтому по краям резистивного слоя на этапе базовой диффузии осуществляют узкие диффузионные p -слои, к которым омический контакт осуществляется обычным способом.

2.12. Конденсаторы

Интегральные конденсаторы имеют небольшой диапазон номинальных значений, занимают значительные площади дорогой полупроводниковой подложки, и по этой причине при проектировании ИМС их стараются избегать. Чаще применяют диффузионные конденсаторы (ДК), для формирования которых используют один из p - n -переходов. Несколько вариантов структур ДК показаны на рис. 2.20.

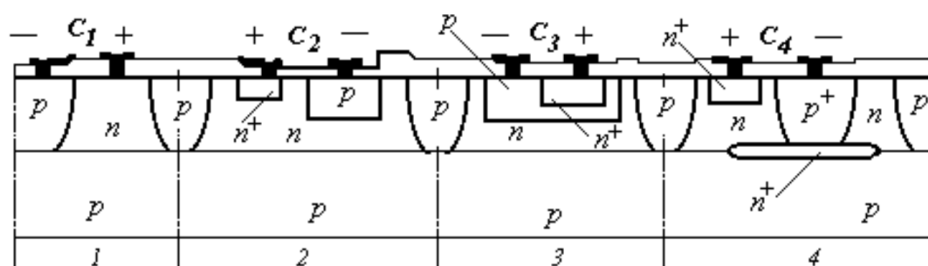


Рис. 2.20. Структуры интегральных диффузионных конденсаторов:
1 – коллектор – подложка (C1); 2 – база – коллектор (C2); 3 – эмиттер – база (C3);
4 – переход из p -области изолирующей диффузии к скрытому n^+ -слою (C4)

В случае удельных сопротивлений исходной подложки $10 \text{ Ом}/\square$, базы $200 \text{ Ом}/\square$ и слоя эмиттера $2 \text{ Ом}/\square$, а также при глубине p - n -перехода «эмиттер – база» $2,3 \text{ мкм}$, «база – коллектор» $2,7 \text{ мкм}$ и «коллектор – подложка» $12,5 \text{ мкм}$ удельные емкости p - n -переходов имеют приблизительно следующие значения:

– «коллектор – подложка» – $100 \text{ пФ}/\text{мм}^2$, боковая стенка $250 \text{ пФ}/\text{мм}^2$, пробивное напряжение перехода до 100 В ;

– удельная емкость p - n -перехода «база – коллектор» $350 \text{ пФ}/\text{мм}^2$ с пробивным напряжением $30\text{--}70 \text{ В}$;

– удельная емкость дна p - n -перехода «эмиттер – база» равна $600 \text{ пФ}/\text{мм}^2$, боковой стенки – $1000 \text{ пФ}/\text{мм}^2$ с пробивным напряжением 7 В .

2.13. Проводники и контактные площадки

Для электрического соединения различных элементов микросхем на одной подложке применяют тонкопленочные проводники. Для этой цели требуются материалы с высокой электрической проводимостью и хорошей адгезией к подложке. Необходимо также обеспечить электрическое соединение внешних выводов с контактными площадками и выбрать при этом для внутрисхемных соединений и контактных

площадок одинаковые материалы. Для напыления проводников и контактных площадок рекомендуется использовать золото, никель, медь вакуумной плавки и алюминий. Для улучшения адгезии токопроводящих материалов напыляют подслои хрома или нихрома на подложки из ситалла, стекла, керамики или на межслойную изоляцию из монооксида кремния. В качестве подслоя можно применять также марганец. Пайку или сварку внешних выводов и навесных элементов с контактными площадками можно производить различными методами, например, сваркой ультразвуком, сваркой (пайкой) сдвоенным электродом, пайкой микропаяльником.

2.14. Расчет диффузионного сопротивления

Диффузионные резисторы формируют на основе диффузионных слоев, толщина которых намного меньше их длины и ширины. Диффузионные резисторы изолированы от остального объема полупроводника p - n -переходом. Они могут быть изготовлены одновременно с другими элементами при формировании структуры полупроводниковых ИМС. Поэтому для реализации диффузионных резисторов в полупроводниковых ИМС используют те же диффузионные слои, которые образуют основные структурные области транзистора: базовую, эмиттерную или коллекторную.

Сопротивление диффузионного резистора R определяется удельным сопротивлением полупроводникового слоя, его глубиной и занимаемой площадью:

$$R = \frac{\tilde{\rho}_v}{W_{\text{диф}}} \cdot \frac{l}{b}, \quad (2.9)$$

где $\tilde{\rho}_v$ – среднее удельное сопротивление диффузионного слоя; $W_{\text{диф}}$ – глубина диффузии; l и b – длина и ширина участка поверхности, в который проводилась диффузия.

При создании полупроводника параметры всех диффузионных слоев оптимизируют для получения наилучших характеристик транзистора. Поэтому при расчете сопротивления диффузионных резисторов по формуле (2.9) возникает задача определения конфигурации длины и ширины резистивного слоя по его известным характеристикам: поверхностной концентрации и распределения примесей, глубине залегания перехода и др. На практике значение $W_{\text{диф}}$ обусловлено также требованиями к параметрам транзистора, и для каждого конкретного слоя,

который можно использовать в качестве резистивного, $W_{\text{диф}} = \text{const}$. Поэтому расчет и конструирование диффузионных резисторов облегчается введением понятия об удельном поверхностном сопротивлении слоя (сопротивление на квадрат). Оно определяется выражением:

$$\rho_S = \frac{\tilde{\rho}_v}{W_{\text{диф}}}. \quad (2.10)$$

Для каждого слоя транзистора такое сопротивление является постоянным. С учетом выражения (2.10) сопротивление диффузионного резистора можно определить:

$$R = \frac{\rho_S l}{b}. \quad (2.11)$$

Так как ρ_S определяется требованиями к области транзистора, то проектирование диффузионных резисторов заданного номинала сводится к определению l и b .

В общем случае удельное поверхностное сопротивление диффузионного слоя с учетом концентрационной зависимости подвижности носителей заряда и неравномерности распределения примеси по толщине слоя, обусловленного диффузией равно

$$\rho_S = \frac{\tilde{\rho}_v}{W_{\text{диф}}} = [q\mu(N)N(x)W_{\text{диф}}]^{-1}, \quad (2.12)$$

где $\mu(N)$ – среднее по концентрации значение подвижности носителей заряда $N(x)$ – соединённое по координате толщины диффузионного слоя значение концентрации примесей.

Выражение (2.12) можно представить в виде:

$$\rho_S = \left[q \frac{N_1}{|N_1 - N_2|} \int_0^{W_{\text{диф}}} N(x) dx \right]^{-1}. \quad (2.13)$$

При известном характере распределения примеси $N(x)$, технологических режимов диффузии, форме зависимости $\mu(N)$ и глубине залегания p - n -перехода выражение (2.13) является исходным для определения удельного поверхностного сопротивления в зависимости от характера распределения примеси в диффузионном слое.

2.15. Расчет биполярного транзистора

Биполярный транзистор (БТ) удобно представить активным нелинейным четырехполюсником, изображенным на рис. 2.21, *а*, у которого выходной ток I_2 и входное напряжение U_1 зависят от входного тока I_1 и выходного напряжения U_2 . В этом случае четырехполюсник описывается системой уравнений в H -параметрах.

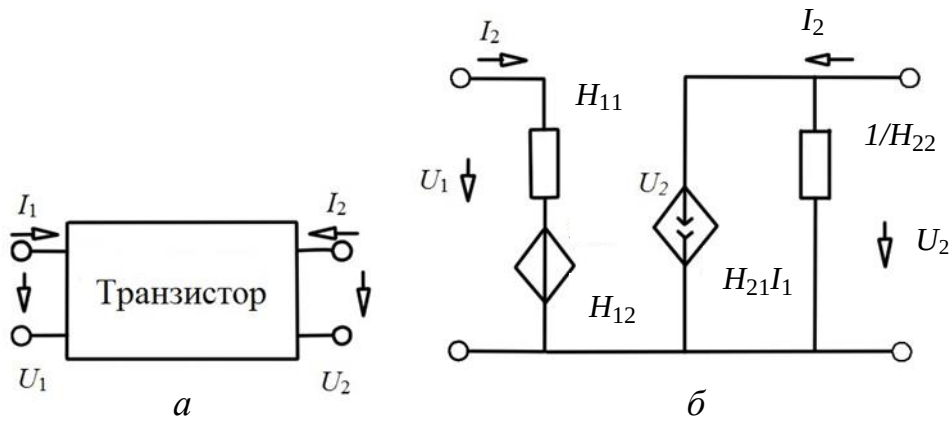


Рис. 2.21. Семы замещения для определения дифференциальных H -параметров биполярного транзистора:

а – активный нелинейный четырехполюсник;
б – формальная модель в системе H -параметров

Переходя к мгновенным значениям напряжений и токов, уравнения можно представить в виде

$$\left. \begin{aligned} u_1 &= f_1(i_1, u_2); \\ i_2 &= f_2(i_1, u_2). \end{aligned} \right\} \quad (2.14)$$

При малых их изменениях приращения входного и выходного напряжений и токов можно найти из следующих уравнений:

$$\left. \begin{aligned} \Delta u_1 &= \frac{\partial u_1}{\partial i_1} \Delta i_1 + \frac{\partial u_1}{\partial u_2} \Delta u_2; \\ \Delta i_2 &= \frac{\partial i_2}{\partial i_1} \Delta i_1 + \frac{\partial i_2}{\partial u_2} \Delta u_2. \end{aligned} \right\} \quad (2.15)$$

Следует учитывать, что H -параметры, указанные в формулах (2.15)–(2.17), имеют комплексный характер. Частные производные в уравнениях (2.16) являются дифференциальными H -параметрами транзистора:

$$\left. \begin{aligned} H_{11} &= \frac{\partial u_1}{\partial i_1}; H_{21} = \frac{\partial i_2}{\partial i_1}; \\ H_{12} &= \frac{\partial u_1}{\partial u_2}; H_{22} = \frac{\partial i_2}{\partial u_2}. \end{aligned} \right\} \quad (2.16)$$

Если значения переменных напряжений и токов транзистора существенно меньше их постоянных значений, то приведенные выше уравнения можно записать в виде:

$$\left. \begin{aligned} U_{\text{ВЫХ}} &= H_{11}I_{\text{ВХ}} + H_{21}U_{\text{ВЫХ}}; \\ I_{\text{ВХ}} &= H_{21}I_{\text{ВХ}} + H_{22}U_{\text{ВЫХ}}. \end{aligned} \right\} \quad (2.17)$$

где $I_{\text{ВХ}} = I_1$, $U_{\text{ВЫХ}} = U_2$ – постоянные составляющие соответственно входного тока и выходного напряжения. Каждый из параметров, приведенных в уравнениях, имеет определенный физический смысл:

– входное сопротивление транзистора при коротком замыкании на выходе ($u_{\text{ВЫХ}} = 0$):

$$H_{11} = \left. \frac{\partial u_{\text{ВХ}}}{\partial i_{\text{ВХ}}} \right|_{U_{\text{ВЫХ}} = \text{const};} \quad (2.18)$$

– коэффициент обратной связи, характеризующий влияние выходного напряжения на режиме разомкнутой входной цепи транзистора ($i_{\text{ВЫХ}} = 0$):

$$H_{12} = \left. \frac{\partial u_{\text{ВХ}}}{\partial u_{\text{ВЫХ}}} \right|_{I_{\text{ВЫХ}} = \text{const};} \quad (2.19)$$

– коэффициент усиления по току ($u_{\text{ВЫХ}} = 0$):

$$H_{21} = \left. \frac{\partial i_{\text{ВЫХ}}}{\partial i_{\text{ВХ}}} \right|_{U_{\text{ВЫХ}} = \text{const};} \quad (2.20)$$

– выходная проводимость транзистора при разомкнутой входной цепи ($i_{\text{ВХ}} = 0$):

$$H_{22} = \left. \frac{\partial i_{\text{ВЫХ}}}{\partial u_{\text{ВЫХ}}} \right|_{I_{\text{ВХ}} = \text{const.}} \quad (2.21)$$

Указанные параметры можно определить по статическим характеристикам БТ, используя вместо частных производных соответствующие им малые приращения токов и напряжений. Значения H -параметров зависят от схемы включения БТ. В справочниках обычно приводят значения H -параметров для БТ, включенных по схеме с общим эмиттером. Для них приняты обозначения $H_{11Э}$, $H_{12Э}$, $H_{21Э}$, $H_{22Э}$.

Используя H -параметры, нетрудно представить формальную эквивалентную схему БТ в виде рис. 2.21, справедливую для любой схемы включения транзистора. Очевидно, что это одна из моделей приборов с зависимыми источниками.

Система H -параметров называется гибридной, так как одни из них определяются в режиме холостого хода на выходе ($i_{\text{ВХ}} = 0$), другие – в режиме короткого замыкания на выходе ($u_{\text{ВЫХ}} = 0$), при этом они имеют разную размерность. Рассмотренные параметры широко используются при расчетах низкочастотных транзисторных схем.

2.16. Расчет униполярного (полевого) транзистора

Основными параметрами полевого транзистора (ПТ), приводимыми в справочных данных, являются: крутизна, внутреннее сопротивление, коэффициент усиления, ток утечки затвора, междуэлектродные емкости.

Крутизна передаточной характеристики в типовом режиме

$$S_{\text{ПТ}} = \left. \frac{\partial i_{\text{с}}}{\partial u_{\text{зи}}} \right|_{U_{\text{си}} = \text{const}}. \quad (2.22)$$

В частности, для ПТ с p - n -переходом в справочниках приводится значение крутизны при $U_{\text{си}} = \text{const}$ и $U_{\text{зи}} = 0$ и обозначается S_0 . Значение крутизны ПТ S_0 можно рассчитать по формуле (2.22). Крутизну ПТ можно определить, используя передаточную характеристику или семейство выходных характеристик. Отечественные ПТ имеют крутизну от 0,15 (КП101Г) до 510 мА/В (КП904).

Внутреннее (дифференциальное) сопротивление:

$$R_i = \left. \frac{\partial u_{си}}{\partial i_c} \right|_{U_{зи} = \text{const.}} \quad (2.23)$$

Внутреннее сопротивление ПТ в рабочей точке можно найти, используя семейство выходных характеристик ПТ, по формуле:

$$R_i = \left. \frac{\Delta U_{си}}{\Delta I_c} \right|_{U_{зи} = \text{const.}} \quad (2.24)$$

Следует помнить, что у реальных ПТ значение R_i в пологой области существенно возрастает при увеличении запирающего напряжения $U_{зи}$.

Статический коэффициент усиления, показывающий, во сколько раз изменение напряжения на затворе воздействует эффективнее на ток стока I_c , чем изменение напряжения на стоке равен

$$\mu_{шт} = \left. \frac{\Delta u_{си}}{\Delta u_{зи}} \right|_{I_c = \text{const}} \approx \left. \frac{U_c}{U_z} \right|_{I_c = \text{const.}} \quad (2.25)$$

Коэффициент усиления можно определить, используя семейство выходных характеристик или расчетным путем по формуле $\mu_{шт} = R_i S_{шт}$. Типичные значения $\mu_{шт}$ – несколько сотен единиц.

Ток утечки затвора. Полевые транзисторы имеют очень малые токи утечки I_z (изменяется от 10^{-8} до 10^{-12} А). Это обуславливает очень высокие значения входного сопротивления ПТ постоянному току (более 10^8 Ом).

Междуэлектродные емкости: проходная $C_{зс}$, входная $C_{зи}$, выходная $C_{си}$.

Емкости ПТ определяют частотные свойства транзисторов. Особенно сильное влияние на частотные свойства ПТ оказывает проходная емкость.

Полевой транзистор, как и биполярный, можно представить в виде эквивалентного четырехполюсника. При работе ПТ с сигналами малых амплитуд такой четырехполюсник можно считать линейным. Поскольку ПТ, как и электронная лампа, является прибором, управляемым напряжением, то рационально использовать систему уравнений с U параметрами. Токи в этой системе считают функциями напряжений:

$$I_3 = f_1(U_{3и}, U_{си}); I_c = f_2(U_{3и}, U_{си}). \quad (2.26)$$

Тогда

$$\left. \begin{aligned} di_3 &= \frac{\partial i_3}{\partial i_{3и}} du_{3и} + \frac{\partial i_3}{\partial u_{си}} du_{си}; \\ di_c &= \frac{\partial i_c}{\partial u_{3и}} du_{3и} + \frac{\partial i_c}{\partial u_{си}} du_{си}. \end{aligned} \right\} \quad (2.27)$$

Входная проводимость:

$$Y_{11} = \left. \frac{\partial i_{вх}}{\partial u_{вх}} \right|_{U_{3и} = 0} = j\omega(C_{сз} + C_{3и}).$$

Проводимость обратной передачи:

$$Y_{12} = \left. \frac{\partial u_{вх}}{\partial i_{вх}} \right|_{U_{3и} = 0} = -j\omega C_{сз}.$$

Проводимость прямой передачи:

$$Y_{21} = \left. \frac{\partial i_c}{\partial u_{3и}} \right|_{U_{си} = 0} = S - j\omega C_{сз}.$$

Выходная проводимость:

$$Y_{22} = \left. \frac{\partial i_c}{\partial u_{си}} \right|_{U_{3и} = 0} = \frac{1}{R_i} + j\omega C_{сз}.$$

Можно заметить, что Y -параметры определяются в режиме короткого замыкания для переменной составляющей тока на входе (Y_{22} , Y_{12}) и на выходе (Y_{21} , Y_{11}). Это трудно обеспечить на низких частотах и легко – на высоких.

Контрольные вопросы

1. Что такое диффузионное сопротивление?
2. Что такое диффузионные слои?
3. На основе чего формируют диффузионные резисторы?
4. Как рассчитывается диффузионное сопротивление?
5. За счет использования какой величины облегчается расчет диффузионного резистора?
6. Что делают для получения наилучших характеристик транзистора при создании полупроводника?
7. Что такое биполярный транзистор?
8. Как определяются H -параметры по характеристикам транзистора?
9. В качестве чего можно представить биполярный транзистор для предстоящих расчетов?
10. В каком порядке рассчитываются параметры биполярного транзистора?
11. Почему система H -параметров называется гибридной?
12. Как производится расчет биполярного транзистора?
13. Каковы основные параметры униполярного транзистора?
14. Для чего используют униполярные транзисторы?
15. Что влияет на частотные свойства униполярного транзистора?
16. Какие есть плюсы и минусы у униполярного транзистора?
17. Как работает униполярный транзистор?
18. Как рассчитываются параметры униполярного транзистора?

ГЛАВА 3. АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

Аналоговые интегральные микросхемы предназначены для преобразования электрических сигналов, изменяющихся по закону непрерывной функции. В самом общем смысле под сигналом понимают некоторые физические явления, несущие информацию о каком-либо событии. В радиоэлектронике сигналы, представленные в виде электрических колебаний, параметры которых (амплитуда, частота, фаза тока или напряжение) однозначно связаны с какой-либо характеристикой конкретного физического процесса (громкостью речи или музыки, яркостью отдельных точек изображения и т.д.).

К числу наиболее часто применяемых в функциональных преобразованиях аналоговых сигналов относится усиление электрических колебаний, в результате которых на выходе устройства, называемом усилителем, получают колебания, мощность которых превышает мощность, подводимую к его входу. Усиление происходит за счёт того, что схема усилителя содержит источник энергии, обычно называемый источником питания, и активный усилительный элемент, обычно транзистор, с помощью которого энергия источника питания преобразуется в энергию электрических колебаний необходимой мощности. Помимо усиления электрических колебаний аналоговые интегральные микросхемы применяют для перемножения аналоговых сигналов, изменения их спектрального состава и т.д.

Схемотехника аналоговых интегральных микросхем [7, 8] характеризуется рядом особенностей:

- для повышения коэффициента усиления напряжения широко применяют каскад с динамической нагрузкой и составным транзистором;
- для стабилизации режима работы широко используют обратные связи и генератор стабильного тока;
- в аналоговых интегральных микросхемах избегают применения разделительных конденсаторов и катушек индуктивности. При необходимости используют дополнительные внешние дискретные компоненты;
- для обеспечения необходимого режима работы по постоянному току применяются схемы сдвига потенциалов;
- во многих случаях аналоговые интегральные микросхемы питаются от 2-х полярных источников питания с заземленной средней точкой.

В отличие от дискретных схем, аналоговые интегральные микросхемы позволяют добиться более точной обработки аналоговых сигналов, так как все элементы создаются в едином технологическом процессе, и появляется возможность осуществить схемотехнические

решения, которые трудно реализуемы на дискретных компонентах. Аналоговые интегральные микросхемы обладают схемотехнической избыточностью, делающей их универсальными.

В электрические схемы аналоговых электронных устройств входят следующие радиоэлементы: биполярные транзисторы, резисторы, диоды, конденсаторы, прочие радиоэлементы. Электрические схемы после определенной доработки могут быть реализованы в микроэлектронном исполнении в виде микросхем.

Резисторы выполняются в эмиттерном, базовом или коллекторном слоях транзисторной структуры. Резисторы от других элементов схемы в кристалле изолируются *p-n*-переходом или, если слой коллекторный, изоляцией, принятой для защиты коллекторов БТ. Конструкция резистора представляет собой полосу в слое, от которой с двух сторон предусмотрены отводы.

Диоды широко применяются в аналоговых устройствах в качестве функциональных элементов задания режима БТ или выполнения функциональных преобразований непрерывных сигналов. В диодах микроэлектронных конструкций могут использоваться от одного до трех *p-n*-переходов транзисторной структуры. Применяемость диодов, исполненных на одном *p-n*-переходе, ограничена, так как один из его электродов должен быть совмещен с общим выводом ИС, т.е. с несущим основанием (пластиной).

Конденсаторы в аналоговых устройствах, в отличие от цифровых, используются достаточно широко. Проблемой применения конденсаторов в микроэлектронных конструкциях (в ИС в частности) является ограниченный номинал емкости микроэлектронных конденсаторов. В полупроводниковых ИС в качестве конденсаторов используются барьерные емкости обратносмещенных *p-n*-переходов или емкости, образованные металлическими пленками и слоем полупроводниковой структуры и разделенные пластом диэлектрика. В таких конденсаторах конструктивно-технологические ограничения не допускают числа обкладок более двух, и поэтому достижимое значение емкости однозначно определяется площадью перекрытия двух обкладок. Площадь, отводимая в ИС под размещение одного конденсатора, не превышает целесообразные пределы $(0,01\text{--}0,03)\text{ мм}^2$. Величина удельной емкости конденсаторных структур в ИС составляет $(50\text{--}200)\text{ пФ/мм}^2$. Конденсаторы емкостью более $(10\text{--}50)\text{ пФ}$ для ИС предпочтительно выносить за пределы ее кристаллов и использовать объемные компоненты в составе гибридных микросхем или иных конструкций с печатным монтажом.

3.1. Разновидности аналоговых интегральных микросхем

Номенклатура аналоговых ИС, выпускаемых промышленностью, позволяет реализовать самые разнообразные функциональные преобразования аналоговых сигналов. По характеру выполняемых преобразований аналоговые ИМС можно подразделить на несколько основных групп [8]:

- усилители;
- перемножители;
- компараторы;
- стабилизаторы напряжения;
- аналоговые коммутаторы;
- аналого-цифровые (АЦП) и цифро-аналоговые (ЦАП) преобразователи;
- специализированные ИС.

Усилители предназначены для усиления сигналов. К ним относятся усилители импульсных сигналов, низких, промежуточных и высоких частот, видеоусилители и др. Наиболее распространенным видом аналоговых ИС являются операционные усилители (ОУ), выполняющие функции базового элемента для построения многих аналоговых узлов.

Перемножители предназначены для перемножения двух аналоговых сигналов, с их помощью осуществляются различного рода преобразования – модуляции и демодуляции, умножения и деления частоты и т.д.

Компараторы предназначены для сравнения аналоговых сигналов с опорным напряжением. Их основу составляют операционные усилители. На один вход компаратора подается аналоговый сигнал, на другой – опорное напряжение. Если мгновенное значение напряжения аналогового сигнала меньше опорного, то на выходе компаратора формируется высокий уровень потенциала. Если мгновенное значение напряжения аналогового сигнала превышает опорные, то на выходе формируется низкий уровень потенциала. Величины выходных напряжений компаратора соответствуют уровням напряжения цифровых ИС, т.е. компаратор осуществляет преобразование пороговых сигналов в цифровую форму. Компаратор находит применение в качестве пороговых устройств автоматики, в АЦП, дискриминаторах амплитуды импульсов, а также в качестве усилителей сигналов магнитной и полупроводниковой памяти.

Структурно стабилизатор напряжения состоит из управляющего элемента, представляющего собой составной транзистор, включенный между входом и выходом схемы, и дифференциального каскада, вырабатывающего сигнал ошибки, подаваемый на базу составного

транзистора. На один из входов дифференциального каскада поступает высокостабильное опорное напряжение, на вторую часть – напряжения с выхода схемы. Сигнал ошибки пропорционален разности напряжений, действующих на входе дифференциального каскада. Когда напряжение на выходе схемы возрастает за счет некоторых дестабилизирующих факторов, сигнал ошибки частично запирает составной транзистор и падение напряжения на нём увеличивается, что ведет к уменьшению выходного напряжения, благодаря чему возрастает стабильность выходного напряжения.

Аналоговые коммутаторы предназначены для распределения во времени сигналов, поступающих на обработку от нескольких источников. В основе построения этих ИС лежит схема электронного ключа на базе биполярного или полевого транзистора. Широкое распространение получили коммутаторы на базе МДП-транзисторов, включаемых последовательно между источником сигнала и потребителем и работающих в линейном режиме. Для того чтобы пропускать положительные и отрицательные полуволны, коммутаторы состоят из двух МДП-транзисторов, один из которых имеет встроенный электронный канал, а другой – встроенный дырочный.

АЦП и ЦАП предназначены для преобразования аналоговых сигналов в цифровые и цифровых сигналов в аналоговые, соответственно. Эти преобразователи выполняют в виде больших интегральных схем, содержащих несколько тысяч элементов, из которых образуются аналоговые и цифровые узлы, обеспечивающие генерирование эталонных напряжений, коммутацию аналоговых сигналов, их сравнение с эталонным напряжением, усиление и преобразование сигналов, масштабирование, запоминание и целый ряд других операций. Всё это осуществляется с высокой точностью и высоким быстродействием.

Специализированные ИС предназначены для использования в бытовой радиоэлектронной аппаратуре. К таким ИС относятся: генератор электрических колебаний различной формы, детектор амплитудно-модулированных и частотно модулированных колебаний, усилители и преобразователи частоты. Созданные ИС предназначены для построения однокристалльных супергетеродинных радиоприемников. Большое количество ИС выпускается для применения телевизионных приемников. На базе этих ИС разрабатываются селекторы каналов, тракта изображения, блоки строчной и кадровой развертки, блоки цветности и т. д.

В последнее время появились такие многоцелевые аналоговые ИС, как программируемые ОУ и таймеры. Программируемые ОУ состоят

из одного или нескольких ОУ, настраиваемых на два и более режима работы. Таймеры, настраиваемые внешней коммутацией обратной связи, реализуют различные специальные аналоговые функции, характерные для импульсной техники. Номенклатура аналоговых ИС постоянно расширяется.

3.2. Схемы сдвига потенциала

В аналоговых интегральных микросхемах напряжение с выхода предыдущего каскада передается на вход последующего без разделительных конденсаторов. При этом на вход последующего каскада поступает как переменное, так и постоянное напряжение. Для того чтобы получить необходимый режим работы последующего каскада по постоянному току, требуется, как правило, понизить постоянное напряжение, что достигается с помощью схемы сдвига потенциала. При этом величина переменного напряжения не должна существенно уменьшаться. На рис. 3.1, *а* представлена схема сдвига потенциала, широко применяемая в аналоговых интегральных микросхемах. Она состоит из транзистора, генератора стабильного тока I_0 и резистора R_0 .

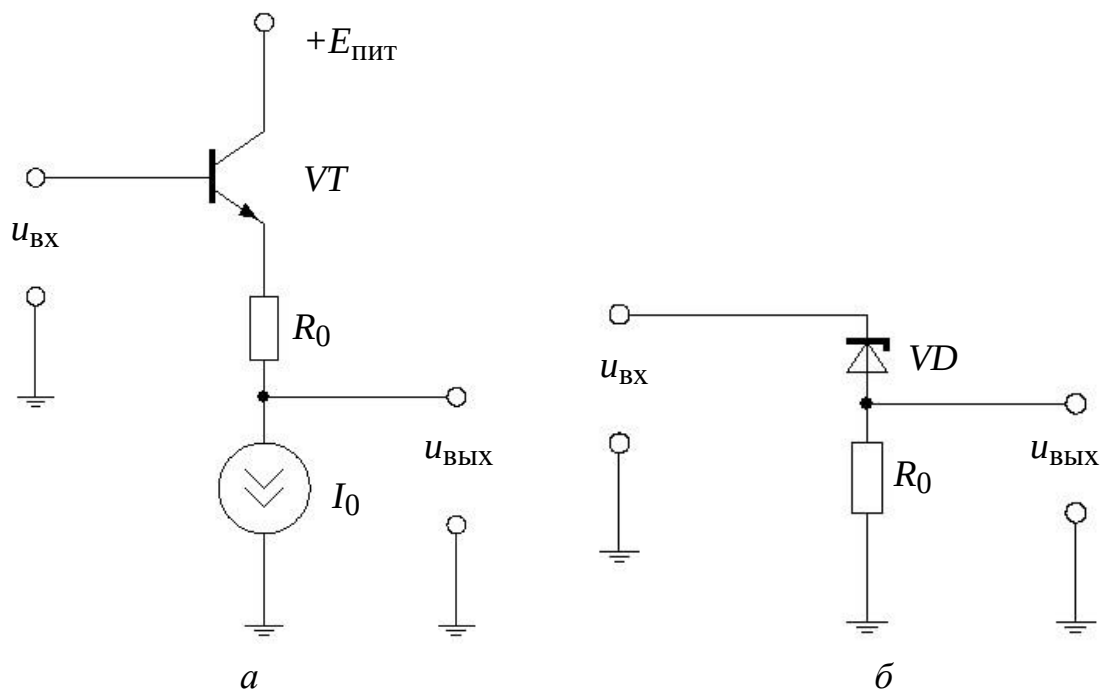


Рис. 3.1. Схемы сдвига потенциала:
а – с транзистором; *б* – со стабилитроном

На входе схемы действует напряжение $u_{\text{ВХ}} = U_{\text{ВХ } 0} + U_{\text{ВХ } m} \sin \omega t$, на выходе – $u_{\text{ВЫХ}} = U_{\text{ВЫХ } 0} + U_{\text{ВЫХ } m} \sin \omega t$; постоянное напряжение на выходе схемы определяется соотношением

$$U_{\text{ВЫХ } 0} = U_{\text{ВХ } 0} - I_0 R_0. \quad (3.1)$$

Изменяя R_0 , можно получить требуемое постоянное напряжение $U_{\text{ВЫХ } 0}$, определяющее режим работы последующего каскада. Переменное напряжение на выходе схемы равно

$$U_{\text{ВЫХ } m} = U_{\text{ВХ } m} R_i / (R_i + R_0). \quad (3.2)$$

Здесь $U_{\text{ВХ } m}$ и $U_{\text{ВЫХ } m}$ – амплитуды входного и выходного напряжений соответственно; R_i – внутреннее сопротивление ГСТ переменному току. Поскольку $R_i \gg R_0$, напряжение $U_{\text{ВХ } m} \cong U_{\text{ВЫХ } m}$.

Кроме рассмотренной схемы, в аналоговых интегральных микросхемах для сдвига потенциала находит применение схема, представленная на рис. 3.1, б. Она содержит стабилитрон с низким дифференциальным сопротивлением и резистор R_0 .

Для этой схемы справедливы следующие соотношения:

$$U_{\text{ВЫХ}} = U_{\text{ВХ}} - U_{\text{стаб}}, \quad (3.3)$$

$$U_{\text{ВЫХ } m} = U_{\text{ВХ } m} R_0 / (R_i + R_0). \quad (3.4)$$

При $R_i \ll R_0$, выполняется условие $U_{\text{ВЫХ } m} \cong U_{\text{ВХ } m}$.

3.3. Каскадные схемы

Каскадные схемы отличаются от обычных усилительных тем, что усилительные каскады в них включены последовательно по постоянному току. Наибольшее распространение имеет комбинация, в которой первый каскад включен по схеме с ОЭ, а второй – по схеме с ОБ (рис. 3.2).

Нагрузкой первого каскада является входное сопротивление второго, равное $h_{11\text{б}}$, поэтому

$$K_u^{(1)} = -\frac{h_{21\text{э}}}{h_{11\text{э}}} h_{11\text{б}} = -\frac{h_{21\text{э}}}{h_{11\text{э}}} \frac{h_{11\text{э}}}{h_{21\text{э}} + 1} = -\frac{h_{21\text{э}}}{h_{21\text{э}} + 1} < 1. \quad (3.5)$$

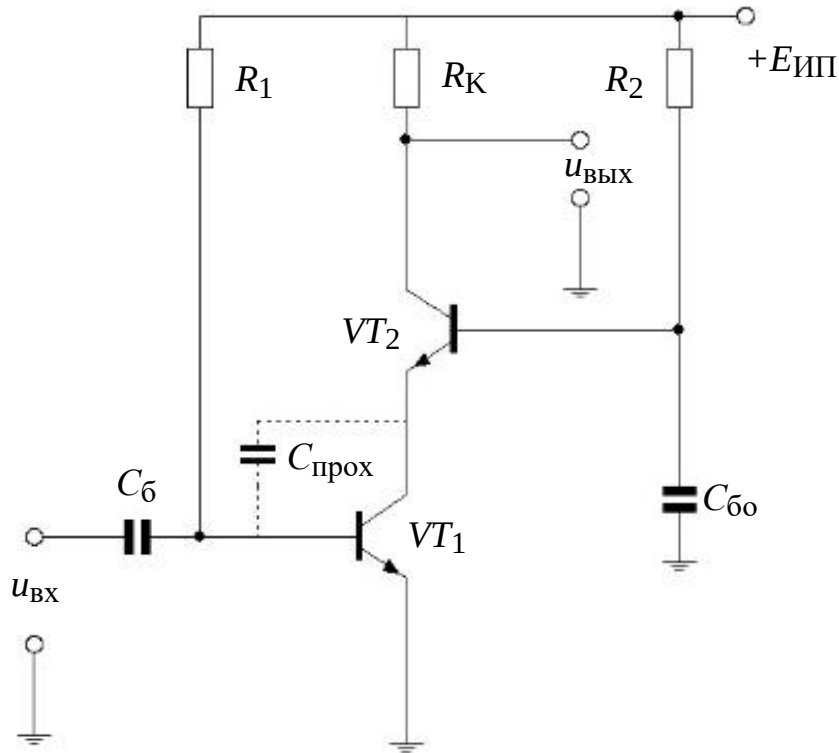


Рис. 3.2. Каскадная схема

Таким образом, первый каскад не дает усиления напряжения, поэтому входная емкость рассматриваемой каскадной схемы, определяемая соотношением $C_{ВХ\text{ экв}} = C_{ВХ} + (K_u + 1) C_{\text{прох}}$, возрастает незначительно.

Второй каскад, включенный по схеме ОБ, дает усиление

$$K_u^2 = \frac{h_{216}}{h_{116}} R_K = \frac{\frac{h_{219}}{h_{119}} - 1}{\frac{h_{119}}{h_{219}} - 1} R_K = \frac{h_{219}}{h_{119}} R_K. \quad (3.6)$$

Результирующий коэффициент усиления

$$K_u = K_u^{(1)} K_u^{(2)} = -\frac{-h_{219}^2}{(h_{219} + 1)h_{119}} R_K \cong -\frac{h_{219}}{h_{119}} R_K. \quad (3.7)$$

Таким образом, рассматриваемая каскадная схема дает такое же усиление, как и обычный каскад по схеме ОЭ, но при этом его входная емкость не возрастает.

Аналогичным образом создаются каскадные схемы ОИ–ОЗ на полевых транзисторах. Применяются также комбинации ОК–ОБ, обладающие высоким входным сопротивлением.

3.4. Выходные каскады

Выходные каскады, как правило, работают на низкоомную нагрузку. Поэтому в качестве них обычно применяют эмиттерные повторители (схема с ОК), обладающие низким выходным сопротивлением. Выходные каскады, обеспечивающие необходимую мощность во внешней нагрузке, должны обладать высоким КПД, что достигается путем применения двухтактных схем (рис. 3.3, *а*). В этом случае через транзистор VT_2 протекает ток в положительные полупериоды входного напряжения, а через транзистор VT_1 – в отрицательные. Вследствие того, что заметный ток транзистора появляется при $u_{вх} > 0,7$ В, он через нагрузку в течение некоторых промежутков времени не протекает, поэтому выходное напряжение при прохождении через нуль имеет ступеньки (рис. 3.3, *б*), т. е. выходное напряжение не повторяет форму входного. Этот недостаток устраняется путем включения между базами транзисторов смещающих диодов (рис. 3.4, *а*), сдвигающих управляющие характеристики транзисторов на 0,7 В, в результате чего зависимость $i_{вых} = f(u_{вх})$ получается линейной (рис. 3.4, *б*).

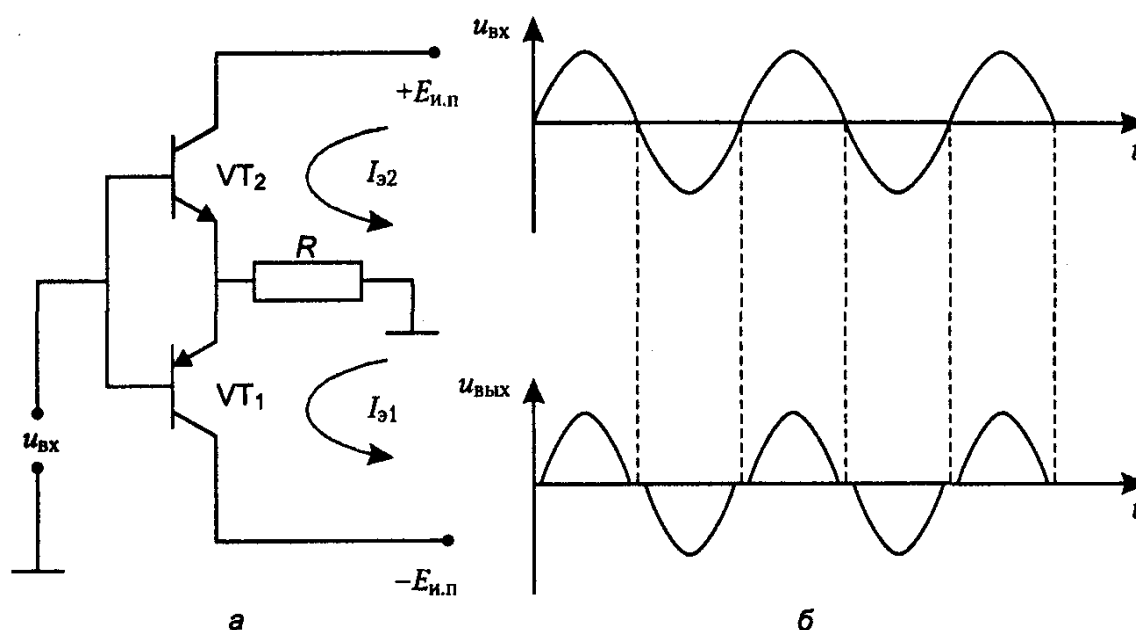


Рис. 3.3. Двухтактная схема:

а – двухтактная схема выходного каскада; *б* – диаграммы входного и выходного напряжений

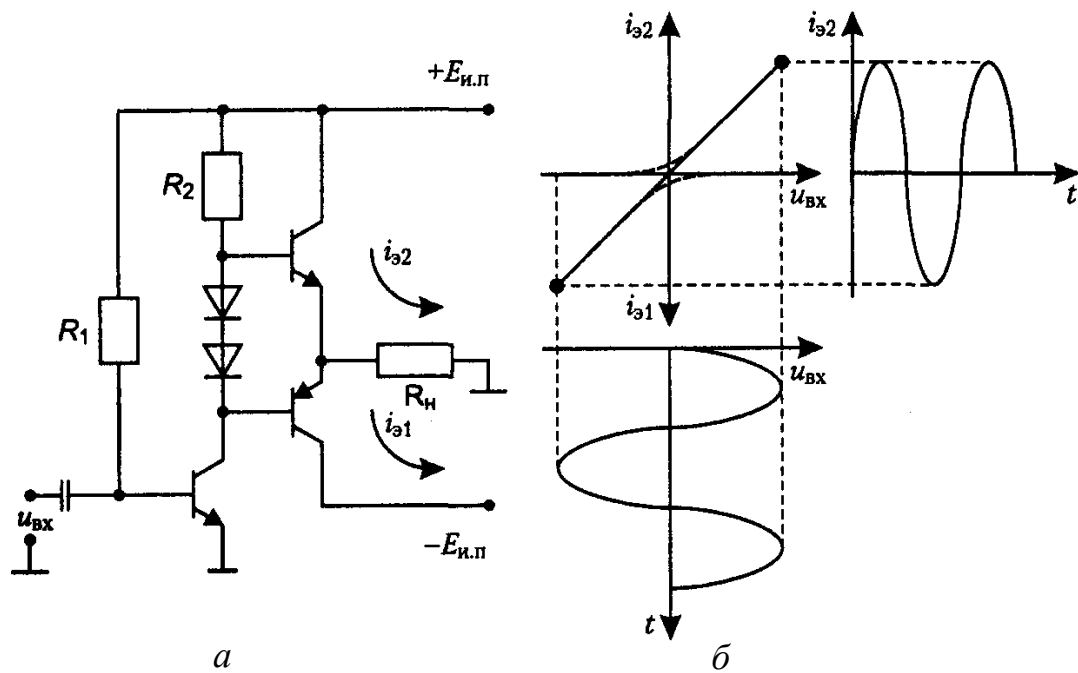


Рис. 3.4. Включение смещающих диодов в двухтактную схему:
 а – двухтактная схема выходного каскада со смещающими диодами в цепи базы;
 б – диаграммы входного напряжения и тока эмиттера

Повышение КПД двухтактной схемы обусловлено тем, что при $u_{\text{вх}} = 0$ ток от источника питания не потребляется. Если же на базу транзистора подано синусоидальное напряжение, то ток через транзистор протекает только в течение половины периода. При этом импульсы тока высотой $I_{\text{э}m}$ можно разложить в ряд Фурье. Полагая, что $U_{\text{вых}m} = E_{\text{и.п}}$, можно рассчитать мощность, выделяемую в нагрузку:

$$P_{\text{вых}} = \frac{1}{2} U_{\text{вых}m} \cdot I_{\text{э}m} = \frac{1}{2} E_{\text{и.п}} I_{\text{э}m}. \quad (3.8)$$

Разложение импульсов тока в ряд Фурье позволяет определить постоянную составляющую тока, потребляемого от источника:

$$I = \frac{1}{\pi} I_{\text{э}m}. \quad (3.9)$$

Поскольку в схеме работают два транзистора, потребляемый ток необходимо удвоить. Следовательно, от источника потребляется мощность

$$P_0 = 2IE_{\text{и.п}} = \frac{2}{\pi} I_{\text{э}m} E_{\text{и.п}}. \quad (3.10)$$

Таким образом, КПД двухтактной схемы оказывается равным

$$\eta = \frac{P_{\text{ВЫХ}}}{P_0} = \frac{\pi}{4}, \quad (3.11)$$

т. е. 78 %.

Транзисторы типов *n-p-n* и *p-n-p*, входящие в двухтактную схему, должны обладать одинаковыми параметрами. Вместе с тем известно, что транзисторы *p-n-p* имеют более низкий коэффициент передачи тока (3 по сравнению с транзисторами *n-p-n*). Поэтому в некоторых случаях вместо транзистора VT_2 типа *p-n-p* используют составной транзистор типа *p-n-p* с токоотводящим резистором.

В некоторых схемах применяется защита двухтактного выходного каскада от перегрузок. С этой целью в базовые цепи выходных транзисторов включают токозащитные транзисторы (рис. 3.5).

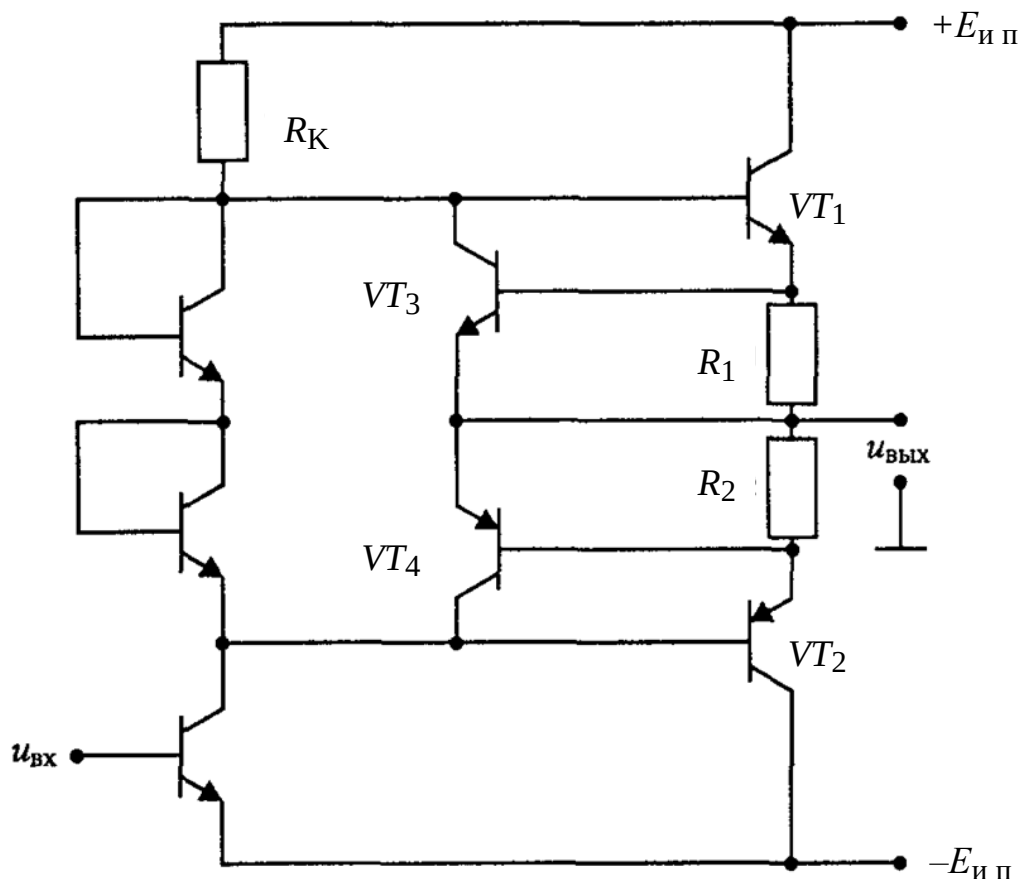


Рис. 3.5. Включение токозащитных транзисторов в выходной цепи

Если ток, потребляемый нагрузкой, превышает допустимое значение,

то возрастают напряжения на резисторах R_1 и R_2 и отпираются транзисторы VT_3 и VT_4 , что ведет к уменьшению токов базы транзисторов VT_1 и VT_2 и, как следствие, к снижению тока, отдаваемого в нагрузку.

3.5. Дифференциальные каскады

Дифференциальный каскад представляет собой мостовую схему, в которую включены идентичные элементы. В аналоговых интегральных микросхемах вследствие того, что все элементы создаются в едином технологическом процессе, практически обеспечивается идентичность резисторов и транзисторов. ДК питается от двухполярного источника питания (рис. 3.6) с заземленной средней точкой, что позволяет подавать сигналы непосредственно на базы транзисторов [9].

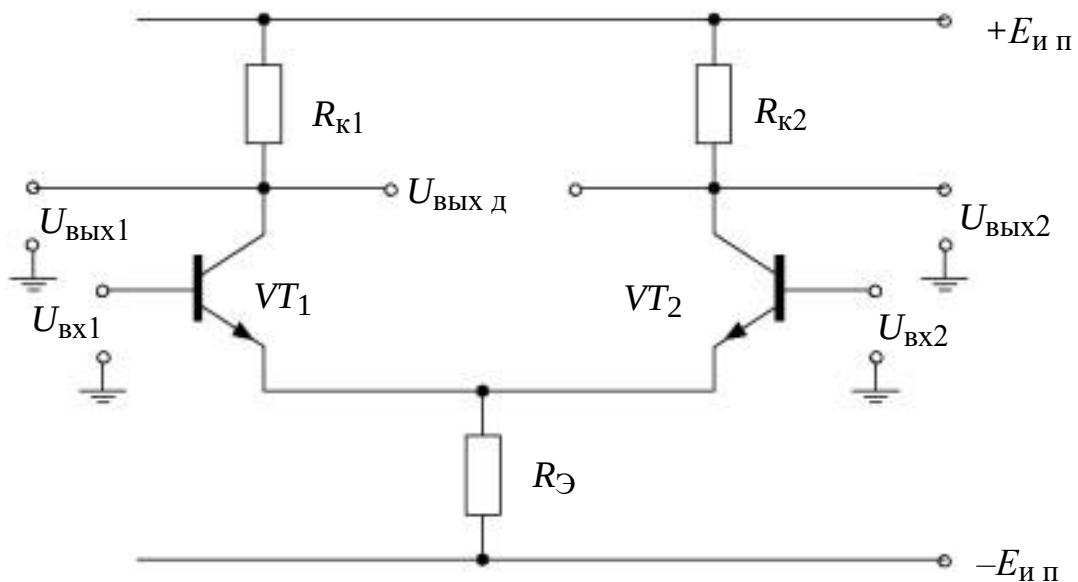


Рис. 3.6. Дифференциальный каскад

Если входы транзисторов заземлены, то их токи будут одинаковы из-за идентичного номинала резисторов R_{K1} и R_{K2} , и напряжение на дифференциальном выходе между коллекторами будет равно нулю. Если на входы схемы поданы сигналы, равные по величине и фазе, называемые фазными, токи обоих транзисторов будут изменяться на одинаковую величину, соответственно будут изменяться напряжения $U_{ВЫХ1}$ и $U_{ВЫХ2}$, а напряжение $U_{ВЫХ Д}$ – по-прежнему будет равным нулю. Если на входы схемы подан одинаковый по величине, но сдвинутый по фазе на 180° сигнал, называемый дифференциальным, то возрастание тока в одном плече будет сопровождаться уменьшением тока в противоположном плече, вследствие чего появится напряжение

на дифференциальном выходе. Следовательно, ДК обладает очень высокой устойчивостью работы и слабо чувствителен к помехам.

3.6. Операционные усилители

Операционными усилителями называют усилители постоянного тока, предназначенные для выполнения различного рода операций над аналоговыми сигналами при работе в схемах с отрицательной обратной связью. Они обладают очень большим коэффициентом усиления напряжения, имеют дифференциальный вход с высоким входным сопротивлением и несимметричный выход с низким выходным сопротивлением. Условное обозначение ОУ приведено на рис. 3.7, а. Общую информацию шины и цепи питания на схемах обычно не показывают. Один из входов ОУ, отмеченный знаком «+», называется неинвертирующим. При подаче сигнала на этот вход и соединении второго входа с корпусом, выходное напряжение находится в фазе с входным. Второй вход ОУ, отмеченный знаком «-», называется инвертирующим. При подаче сигнала на этот вход и соединении другого входа с корпусом напряжение на выходе будет в противофазе с входным. Во многих случаях источник сигнала включается между обоими входами. Помимо трех сигнальных контактов ОУ содержит дополнительные контакты. Для облегчения понимания назначения контактных выводов применяется более полное условное обозначение ОУ (рис. 3.7, б). Символами *NC* обозначают выводы балансировки, символами *FC* – выводы частотной коррекции. Существуют и другие вспомогательные выводы.

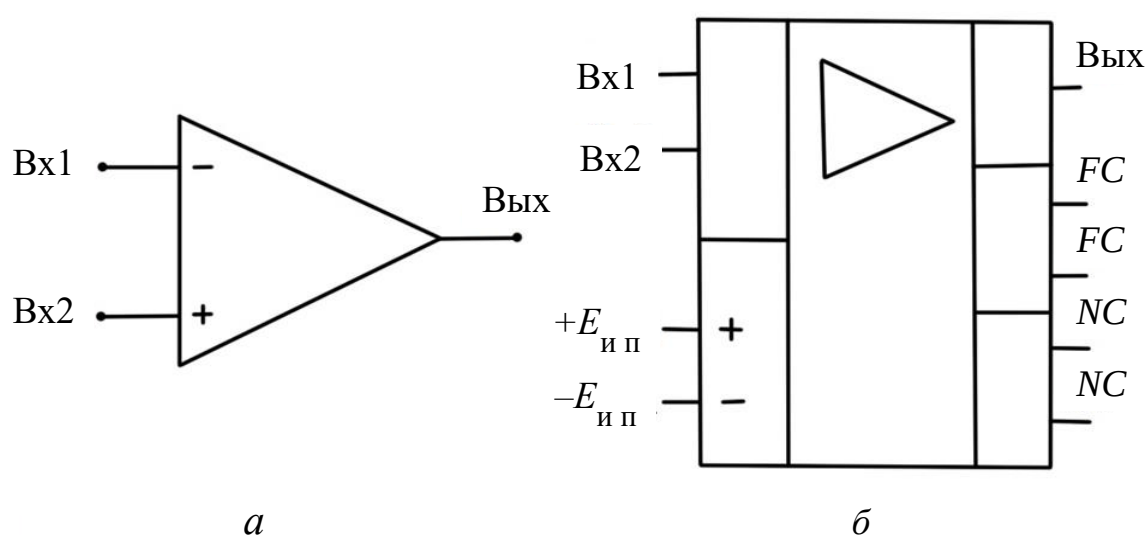


Рис. 3.7. Условное обозначение ОУ:

а – для функциональных схем; б – полное условное обозначение

Параметры ОУ характеризуют его эксплуатационные возможности.

Основные параметры перечислены ниже:

1. Коэффициент усиления напряжения без обратной связи K_u , показывающий, во сколько раз напряжение на выходе ОУ превышает напряжение сигнала, поданного на дифференциальный вход.

2. Коэффициент ослабления синфазного сигнала $K_{осл\ сф}$, показывающий во сколько раз дифференциальный сигнал сильнее синфазного. Практически определяется свойствами входного дифференциального каскада и составляет от 80 до 100 дБ.

3. Напряжение смещения нуля $U_{см}$, представляющее собой постоянное напряжение определенной полярности, которое необходимо подать на вход в ОУ при отсутствии входного сигнала для того, чтобы напряжение на выходе стало равным нулю. Отклонение выходного напряжения от нуля обусловлено хотя и очень малым, но неизбежно существующим дисбалансом плеч дифференциального каскада. Типовое значение $U_{см} = (5-20)$ мВ.

4. Температурный дрейф напряжения смещения $TKU_{см}$ характеризует изменение напряжения $U_{см}$ при варьировании температуры и составляет от 1 до 30 мкВ/°С.

5. Входные сопротивления для дифференциального $R_{вх\ диф}$ и синфазного $R_{вх\ сф}$ сигналов. Входное сопротивление $R_{вх\ диф}$ измеряется со стороны любого входа в то время, когда другой вход соединен с общим выводом. Сопротивление $R_{вх\ сф}$ измеряется между соединенными вместе входными контактами ОУ и корпусом. Это сопротивление на несколько порядков выше сопротивления для дифференциального сигнала.

6. Выходное сопротивление $R_{вых}$. По отношению к внешней нагрузке ОУ ведет себя как генератор напряжения, обладающий внутренним сопротивлением, являющийся выходным сопротивлением ОУ. Его величина составляет десятки – сотни Ом.

7. Выходные токи. Это токи, протекающие во входных выводах при присоединении последних к корпусу. Если входной дифференциальный каскад выполнен на биполярных транзисторах, то эти токи являются токами баз, их величина составляет от 10 до 100 мкА. Если входной дифференциальный каскад выполнен на полевых транзисторах, то эти токи существенно меньше. Из-за асимметрии плеч дифференциального каскада эти токи различаются.

8. Разность входных токов $I_{вх} = I_{вх1} - I_{вх2}$ характеризует степень дисбаланса ОУ. При больших сопротивлениях резисторов, включенных

на входах за счёт разности входных токов, может появиться паразитный дифференциальный сигнал.

9. Частота единичного усиления характеризует частотные свойства ОУ в режиме усиления малых сигналов – это та частота, на которой коэффициент усиления напряжения становится равным единице. Предусмотрено включение корректирующих цепочек с тем, чтобы устранить самовозбуждение на высоких частотах, неизбежно возникающее при больших коэффициентах усиления и охвате ОУ обратной связью.

3.7. Схемотехника операционных усилителей

В состав ОУ входит несколько каскадов. Наиболее простое схемное решение имеет ОУ, изготовленный на кремниевой пластине размером $1,1 \times 1,1$ мм и содержащий 9 транзисторов (рис. 3.8) [9].

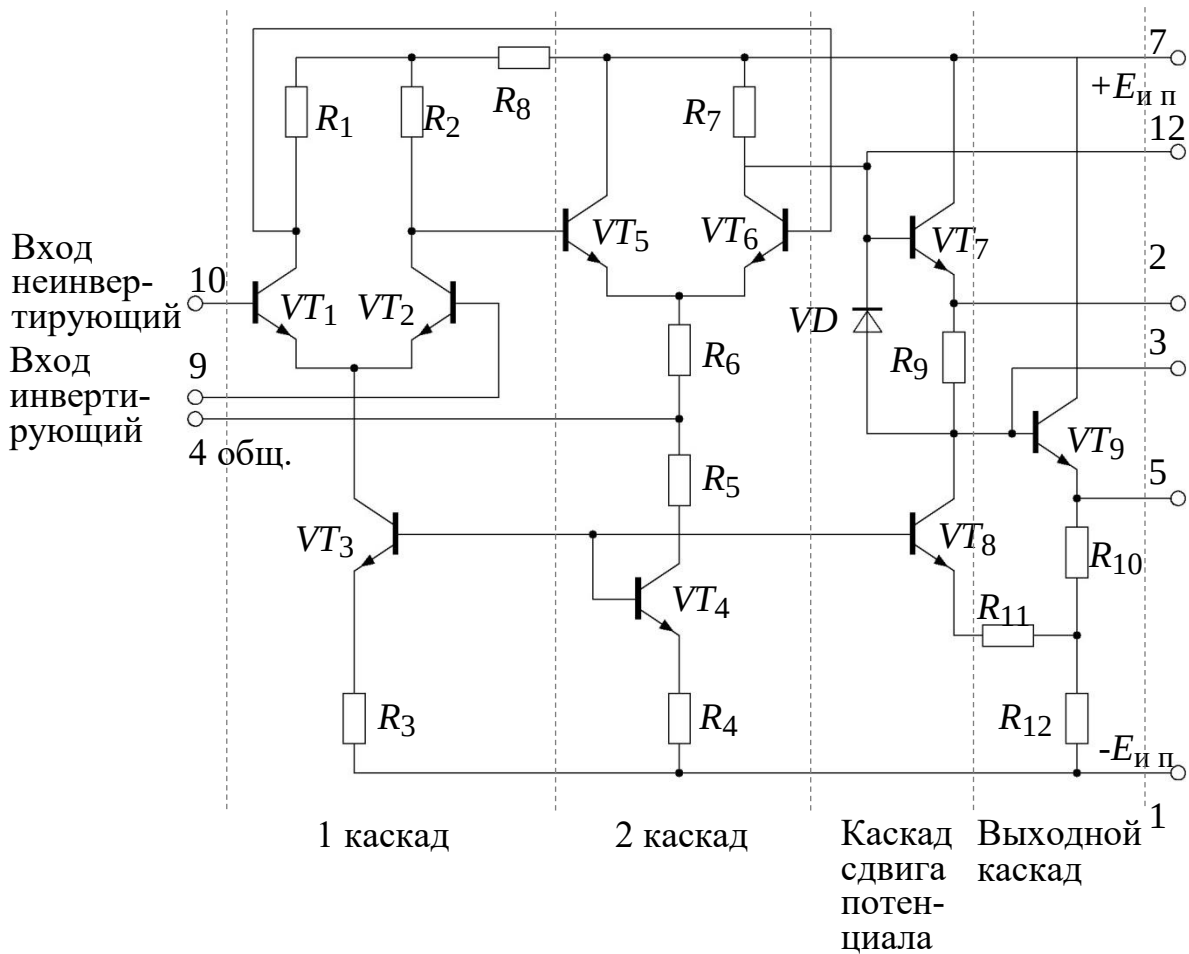


Рис. 3.8. Двухкаскадный ОУ

Входной дифференциальный каскад выполнен на транзисторах VT_1 и VT_2 , он питается от генератора стабильного тока на транзисторах VT_3 и VT_4 . Второй дифференциальный каскад выполнен на транзисторах VT_5 и VT_6 . Схема сдвига потенциала образована транзисторами VT_7 и VT_8 , резистором R_9 и генератором стабильного тока VT_8 . Выходной каскад на транзисторе представляет собой эмиттерный повторитель, охваченный неглубокой положительной обратной связью, компенсирующий ослабление сигнала схемой сдвига потенциала. Обратная связь осуществляется путем подачи части выходного сигнала на VT_8 , который включён для этого сигнала по схеме с ОБ, и затем на базу эмиттерного повторителя VT_9 . Схема обеспечивает сравнительно невысокий коэффициент усиления $K_u = 2 \cdot 10^3$, дает ослабление синфазного сигнала $K_{осл\ сф} = 60$ дБ и имеет невысокое входное сопротивление $R_{вх} = 4$ кОм.

Большинство современных ОУ строятся по двухкаскадной схеме. Упрощенная схема такого ОУ показана на рис. 3.9.

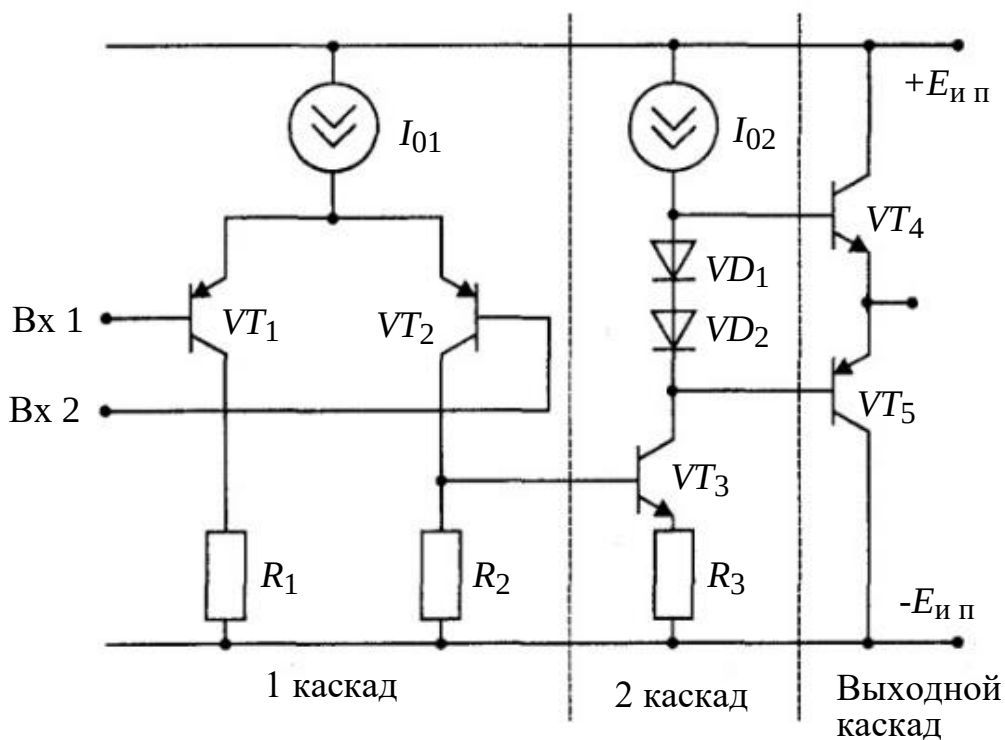


Рис. 3.9. Упрощенная схема двухкаскадного ОУ

Первый усилительный каскад выполняется на транзисторах VT_1 и VT_2 , питающихся от генератора стабильного тока I_{01} . Как правило,

транзисторы в плечах ДК включаются по каскадной схеме ОК – ОБ или ОИ – ОЗ с динамической нагрузкой, обеспечивающей получение однофазного выхода. Обычно на выход ДК ставится эмиттерный повторитель, обеспечивающий передачу сигнала на вход второго каскада. В общей сложности число транзисторов, образующих первый ДК, достигает 13 и более. Во многих случаях в первом каскаде предусматривается балансировка нуля выходного напряжения.

Второй усилительный каскад выполнен на транзисторе VT_3 с динамической нагрузкой в виде генератора I_{02} . В каскаде предусматривается включение корректирующего конденсатора между коллектором и базой транзистора, благодаря чему возрастает входная емкость каскада и уменьшается усиление на высоких частотах, что исключает возможность возникновения самовозбуждения при охвате ОУ отрицательной обратной связью. Промышленностью выпускается большое разнообразие ОУ, которые делятся на 2 группы общего и частного применения. ОУ частного применения подразделяются на быстродействующие, прецизионные, микроомощные, мощные и высоковольтные.

Контрольные вопросы

1. Что такое аналоговые интегральные микросхемы?
2. Для чего предназначены аналоговые интегральные микросхемы?
3. Какими особенностями характеризуется схемотехника аналоговых интегральных микросхем?
4. Почему аналоговые интегральные микросхемы считают универсальными?
5. Какие возможные варианты применения предполагают аналоговые интегральные микросхемы в отличие от дискретных схем?
6. Приведите общепринятую форму представления сигналов в радиоэлектронике.
7. На какие основные группы можно разделить аналоговые ИМС?
8. Для чего предназначены специализированные ИМС?
9. В каких устройствах электроники используются усилители?
10. Чем отличаются компараторы от операционных усилителей?
11. Какова основная функция аналого-цифровых преобразователей?
12. Как стабилизаторы напряжения используются в схемотехнике?
13. Что такое дифференциальный каскад?
14. Что он из себя представляет?

15. Почему дифференциальный каскад обладает высокой устойчивостью работы?
16. За счет чего обеспечивается идентичность резисторов и транзисторов в дифференциальном каскаде?
17. Охарактеризуйте принцип действия дифференциального каскада.
18. Где применяют дифференциальный каскад?
19. Что такое операционный усилитель?
20. Для чего предназначен операционный усилитель?
21. Каковы особенности операционного усилителя?
22. Как условно обозначается ОУ?
23. С какой целью в справочных данных приводится полное условное обозначение ОУ?
24. Где используется операционный усилитель?
25. Каковы основные параметры ОУ?
26. Что характеризуют параметры ОУ?
27. Что показывает коэффициент усиления напряжения?
28. Что такое коэффициент ослабления?
29. Что такое температурный дрейф?
30. Что характеризует частота единичного усиления?
31. По какой схеме строится большинство современных ОУ?
32. На какие группы делятся ОУ?

ГЛАВА 4. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

Цифровые интегральные микросхемы предназначены для преобразования сигналов, изменяющихся по закону дискретной функции [6, 10]. Такие сигналы имеют только два значения, U^0 и U^1 , называемые логическим нулем и логической единицей, соответственно (рис. 4.1). Разность напряжений, соответствующих логическому нулю и логической единице, называется логическим перепадом $U_{\text{Л}} = U^0 - U^1$.

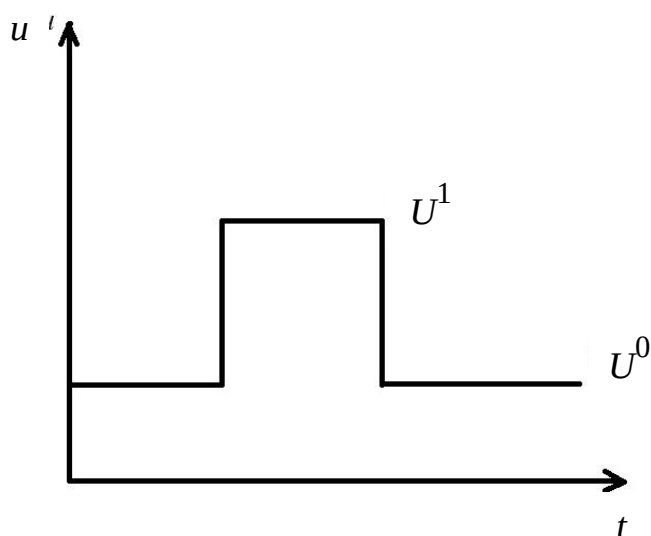


Рис. 4.1. График перепадов напряжения

В основе построения цифровых ИМС лежат электронные ключи, характеризующиеся двумя состояниями: разомкнутым и замкнутым. Соединяя определенным образом электронные ключи между собой, можно создать электронную схему, позволяющую осуществлять логические операции с цифровыми сигналами, их хранения, задержки во времени и т.д. Цифровые ИМС являются основой для создания сложных устройств вычислительной техники.

4.1. Диодно-транзисторная логика

Схема логического элемента диодно-транзисторной логики показана на рис. 4.2.

В этой схеме можно выделить две последовательно включенные функциональные части: в первой — входные сигналы x_1 и x_2 подаются на диодный элемент (диоды VD_1 , VD_2 и резистор R_1), выполняющий

операцию И; вторая часть – на транзисторе VT_1 – представляет собой инвертор. Таким образом, в схеме отдельно выполняются логические операции И и НЕ, следовательно, схема реализует логическую операцию 2И–НЕ (число 2 означает количество входов ЛЭ). Диоды VD_3 и VD_4 играют роль элемента связи между двумя частями схемы и повышают ее помехоустойчивость [10].

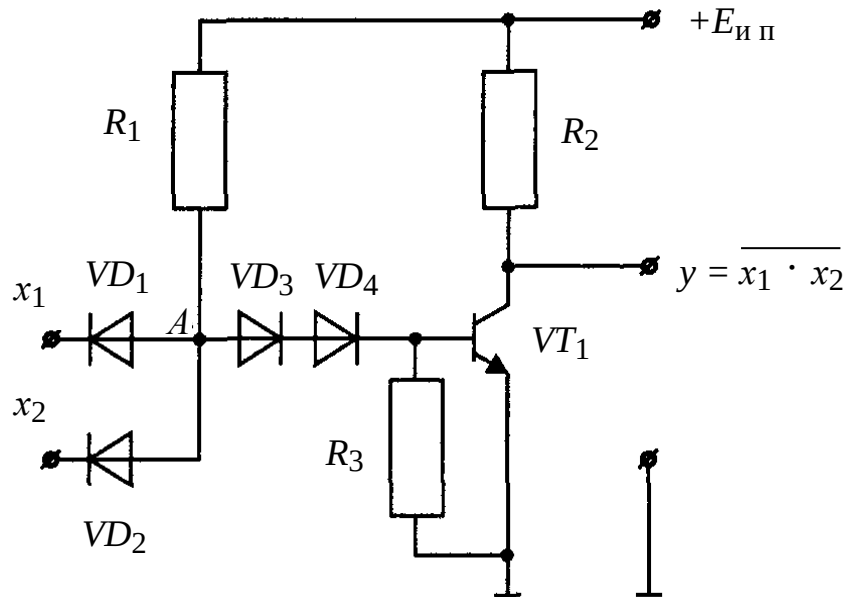


Рис. 4.2. Схема логического элемента диодно-транзисторной логики

Если на один из входов x_1 или x_2 подан сигнал $U_{\text{вх}}^0 = 0$, то один из диодов открыт и в схеме течет ток от источника $E_{\text{и п}}$ через резистор R_1 и открытый диод. При этом в точке A установится потенциал $U^* \approx 0,7$ В, недостаточный для отпириания двух последовательно включенных диодов VD_3 и VD_4 . В результате транзистор VT_1 будет закрыт и на выходе схемы установится напряжение $U_{\text{вых}}^1 \approx E_{\text{и п}}$, соответствующее логической единице. В таком состоянии схема будет оставаться до тех пор, пока на оба входа, x_1 и x_2 , не будет подан высокий уровень сигнала $U_{\text{вх}}^1$ (логическая единица). В этом случае диоды VD_1 и VD_2 закрываются, потенциал точки A увеличивается, став достаточным для открывания диодов VD_3 и VD_4 , и в цепи течет ток от источника $E_{\text{и п}}$ через резистор R_1 , диоды VD_3 и VD_4 в базу транзистора VT_1 . В результате транзистор VT_1 открывается, и на выходе схемы устанавливается низкий уровень напряжения

$U_{\text{ВЫХ}}^0 = U_{\text{ОСТ}} \approx 0,1 \text{ В}$ (логический ноль), следовательно, в схеме ДТЛ выполняется операция И–НЕ. Резистор R_3 служит в данной схеме для того, чтобы создать цепь рассасывания накопленного в базе транзистора VT_1 заряда (при переключении VT_1 из открытого состояния в закрытое). В некоторых случаях резистор R_3 соединяют не с землей, а с источником отрицательного напряжения $E \approx -2 \text{ В}$, чтобы обеспечить более быстрое рассасывание базового заряда и уменьшить время задержки сигнала.

Логические элементы ДТЛ обладают высоким быстродействием и большим логическим перепадом $U_{\text{Л}} = U_{\text{ВЫХ}}^1 - U_{\text{ВЫХ}}^0 \approx E_{\text{ИП}}$. Чаще всего они реализуются в виде гибридных ИМС. Что касается полупроводниковых ИМС, то схема ДТЛ обладает существенным недостатком – большим количеством диодов, а каждый диод – это, в сущности, транзистор в диодном включении. Каждый такой транзистор нуждается в изолирующем кармане, и поэтому площадь, занимаемая схемой на подложке, оказывается очень большой. Отсюда появилась идея заменить совокупность логических диодов (VD_1 и VD_2) и диодов VD_3 и VD_4 одним многоэмиттерным транзистором, выполненным в одном изолирующем кармане. Таким образом, был осуществлен переход к одному из самых распространенных семейств логических ИМС – схемам транзисторно-транзисторной логики.

4.2. Транзисторно-транзисторная логика

В базовом элементе ТТЛ (рис. 4.3) функции диодов VD_1 и VD_2 выполняют эмиттеры многоэмиттерного транзистора, а роль диодов VD_3 и VD_4 – его коллекторный переход [10]. Следовательно, схема ТТЛ выполняет ту же логическую операцию, что и схема ДТЛ, т. е. И–НЕ. Действительно, если на входе x_1 или x_2 действует сигнал низкого уровня $u_{\text{ВХ}} \approx 0$ (логический ноль), то в цепи протекает ток от источника питания $E_{\text{ИП}}$ через резистор R_1 и соответствующий открытый эмиттерный переход. Потенциал базы транзистора VT_1 становится равным примерно 0,7 В. Этот потенциал распределяется примерно поровну между коллекторным переходом транзистора VT_1 и эмиттерным переходом транзистора VT_2 . Поэтому напряжение $u_{\text{БЭ2}}$ недостаточно для отпирания транзистора VT_2 , и на выходе схемы устанавливается высокий уровень напряжения

$U_{\text{ВЫХ}}^1 \cong E_{\text{и п}}$ (логическая единица). Если на входах x_1 и x_2 действует высокий уровень сигнала $U_{\text{ВХ}}^1$ (логическая единица), то эмиттерные переходы транзистора VT_1 заперты, ток течет от источника $E_{\text{и п}}$ через резистор R_1 , коллекторный переход VT_1 и эмиттерный переход VT_2 . Потенциал базы транзистора VT_2 становится равным $u_{\text{бэ2}} \approx 0,7$ В, а потенциал $U_{\text{а}} \approx 1,4$ В. Транзистор VT_2 отпирается, и на выходе схемы устанавливается низкий уровень напряжения $U_{\text{ВЫХ}}^0 \approx 0,1$ В.

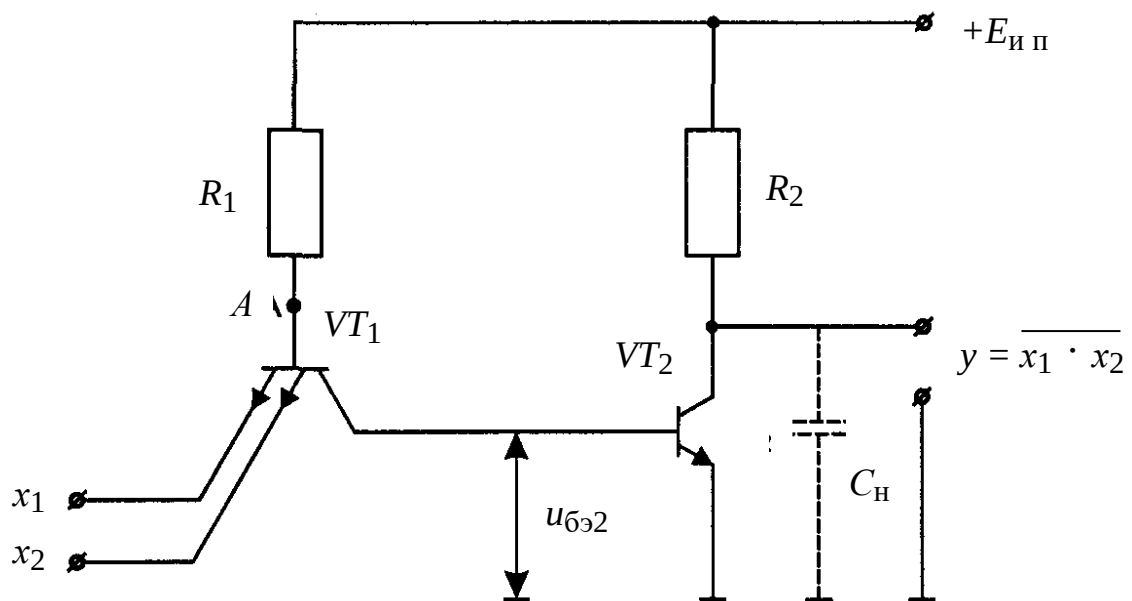


Рис. 4.3. Схема базового элемента ТТЛ с многоэмиттерным транзистором

Схема ТТЛ, сохраняя все достоинства схемы ДТЛ, имеет существенный выигрыш по площади. Поэтому эта схема в настоящее время практически вытеснила схемы ДТЛ и получила очень широкое распространение. Однако в рассмотренном варианте схема ТТЛ, несмотря на простую технологию, из-за малой нагрузочной способности и низкого быстродействия почти не применяется. Действительно, при подключении к её выходу нескольких нагрузок в виде аналогичных схем вырастает нагрузочная емкость $C_{\text{н}}$, а так как резистор R_2 имеет достаточно большую величину, то вырастает постоянная времени заряда емкости и быстродействие схемы падает. Для устранения этого недостатка в схемах ТТЛ вместо простого инвертора используют сложный (рис. 4.4).

Транзистор VT_2 в этой схеме выполняет функцию «фазорасщепителя». Далее будет рассмотрена работа инвертора. Пусть на входе инвертора (на базе транзистора VT_2) действует низкий уровень напряжения U^0 (логический нуль). Транзистор VT_2 закрыт, потенциал точки A высокий, а точки B – низкий, следовательно, транзистор VT_3 закрыт, а VT_4 открыт. Нагрузочная емкость C_H быстро заряжается от источника $E_{и п}$ через резистор R_2 , открытый эмиттерный переход транзистора VT_4 и диод VD_1 . На выходе схемы устанавливается высокий уровень напряжения $U_{вых}^1 = E_{и п} - u_{бэ} - u_d = 5 - 0,7 - 0,7 = 3,6$ В (логическая единица). Резистор R_4 предназначен для ограничения тока в последовательной цепочке VT_4 – VD_1 – VT_3 . Дело в том, что в моменты переключения схемы из одного состояния в другое оба транзистора, VT_3 и VT_4 , открыты (один из них открывается, а другой не успевает закрыться), и, чтобы предотвратить замыкание источника $E_{и п}$ на «землю», ставится ограничительный резистор R_4 .

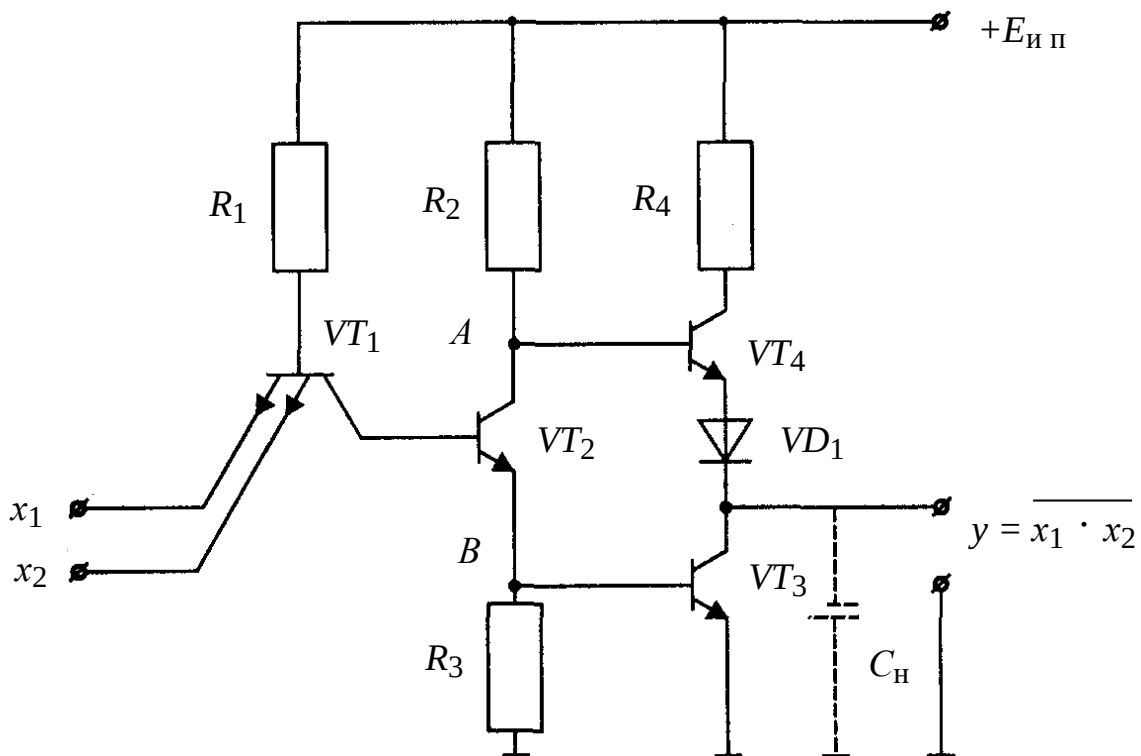


Рис. 4.4. Инвертирующий логический элемент ТТЛ

Если на входе инвертора устанавливается высокий уровень напряжения U^1 (логическая единица), то транзисторы VT_2 и VT_3 открыты, а VT_4 закрыт. Емкость C_H разряжается через открытый транзистор VT_3 , и на выходе схемы устанавливается низкий уровень напряжения $U_{\text{вых}}^0 = 0,1 \text{ В}$ (логический нуль). Диод VD_1 обеспечивает надежное запирающее транзистора VT_4 при открытом транзисторе VT_3 . Благодаря тому, что заряд и разряд паразитной емкости C_H проходят через транзисторы VT_3 и VT_4 с низким сопротивлением в открытом состоянии, схема ТТЛ со сложным инвертором обладает высоким быстродействием. Среднее время задержки распространения сигнала в этой схеме составляет около 10 нс. Более высоким быстродействием обладает схема, в которой вместо обычных биполярных транзисторов применены транзисторы с барьером Шоттки (ТТЛШ). В этом случае $t_{\text{зд р ср}} = 3 \text{ нс}$.

4.3. Эмиттерно-связанная логика

Работа схемы ТТЛ основана на использовании режима глубокого насыщения транзистора, который характеризуется накоплением зарядов в его базовой и коллекторной областях. Для рассасывания этих зарядов при переходе в закрытое состояние требуется некоторое время, что ограничивает быстродействие схемы. В схеме эмиттерно-связанной логики транзисторы не переходят в режим глубокого насыщения, благодаря чему повышается быстродействие ($t_{\text{зд р ср}} \approx 2 \text{ нс}$) [10].

Основу схемы ЭСЛ составляет переключатель тока (рис. 4.5, а). Схема напоминает дифференциальный каскад, у которого ко второму входу подключен источник постоянного опорного напряжения E_0 . Источник стабильного тока обеспечивает ток I_0 , соответствующий нормальному активному режиму. Если $u_{\text{вх}} = E_0$, то оба транзистора открыты и через каждый протекает ток $i_K = i_{K1} = i_{K2} = I_0/2$. Напряжение на эмиттерах $u_{\text{э}} = E_0 - U^*$.

Известно, что в активном режиме ток коллектора очень сильно зависит от напряжения $u_{\text{бэ}}$:

$$i_K = \alpha I_0 \exp(u_{\text{бэ}}/u_T). \quad (4.1)$$

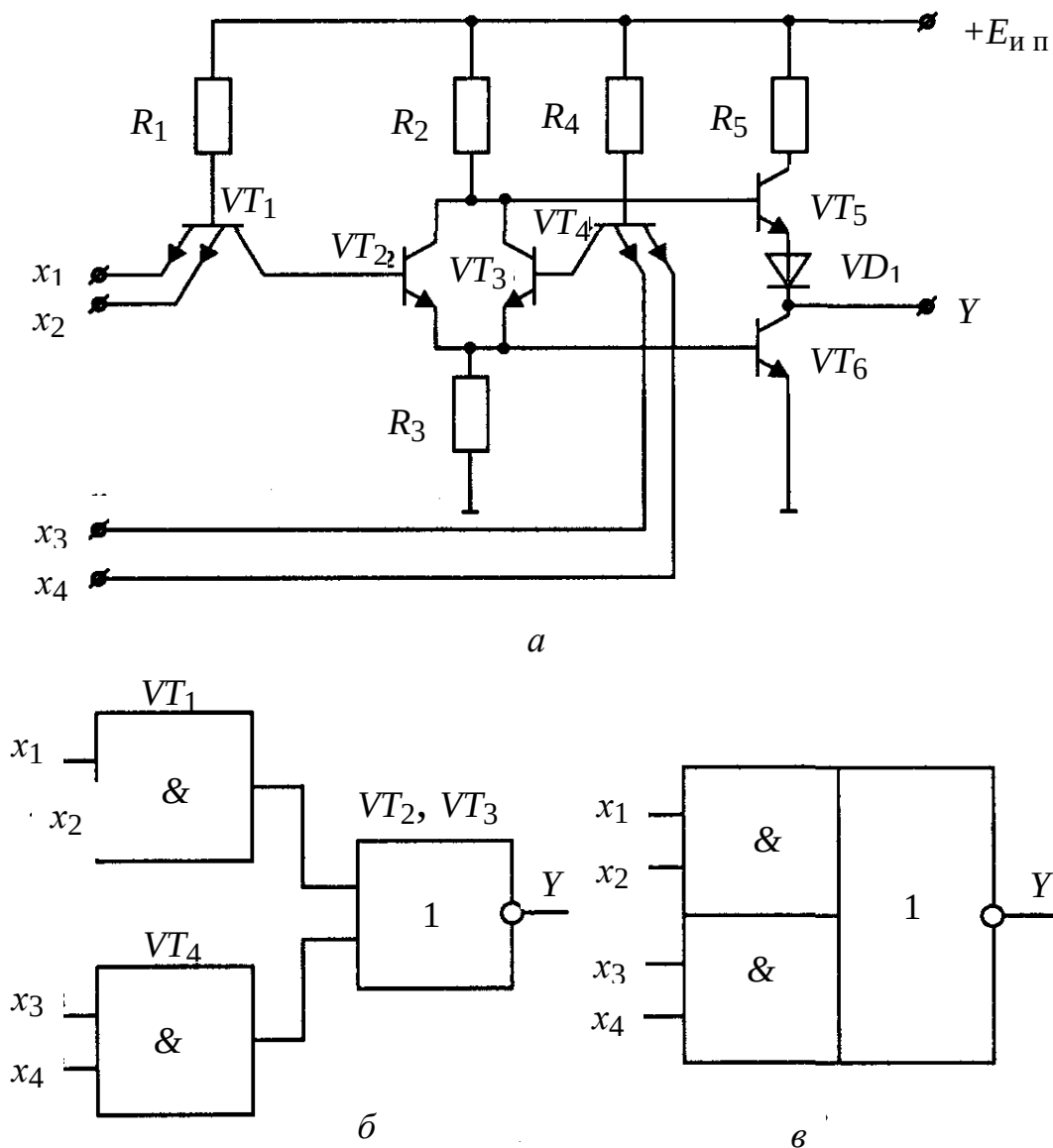


Рис. 4.5. Схема переключателя тока ЭСЛ:
a – электрическая схема; *б* – логическая схема;
в – условно-графическое обозначение

Согласно формуле (4.1), изменение $u_{бэ}$ на величину $\delta U = 2,3U_T$ (60 мВ при $T = 25^\circ\text{C}$) приводит к уменьшению или увеличению коллекторного тока на порядок. Поэтому, если напряжение на входе станет меньше E_0 на величину δU , то напряжение $u_{бэ1} = u_{вх} - u_э$ тоже упадет, что приведет к резкому снижению тока $i_{к1}$ (рис. 4.6, *б*), а так как суммарный ток транзисторов задан генератором тока I_0 , то $i_{к2}$ возрастает, т. е. произойдет его переключение в правое плечо схемы. Транзистор VT_1 будет закрыт, и на первом выходе установится напряжение высокого

уровня $U_{\text{ВЫХ1}}^1$; транзистор VT_2 будет открыт, и на втором выходе установится напряжение низкого уровня $U_{\text{ВЫХ1}}^0$. Однако транзистор VT_2 не перейдет в режим насыщения, так как его ток задается I_0 , величина которого меньше тока насыщения транзистора. Если напряжение на входе увеличить относительно величины E_0 на δU , то произойдет переключение тока в левое плечо схемы. Таким образом, для переключения тока I_0 из одного плеча в другое достаточно изменить входное напряжение на величину $2\delta U \geq 0,12$ В относительно уровня E_0 .

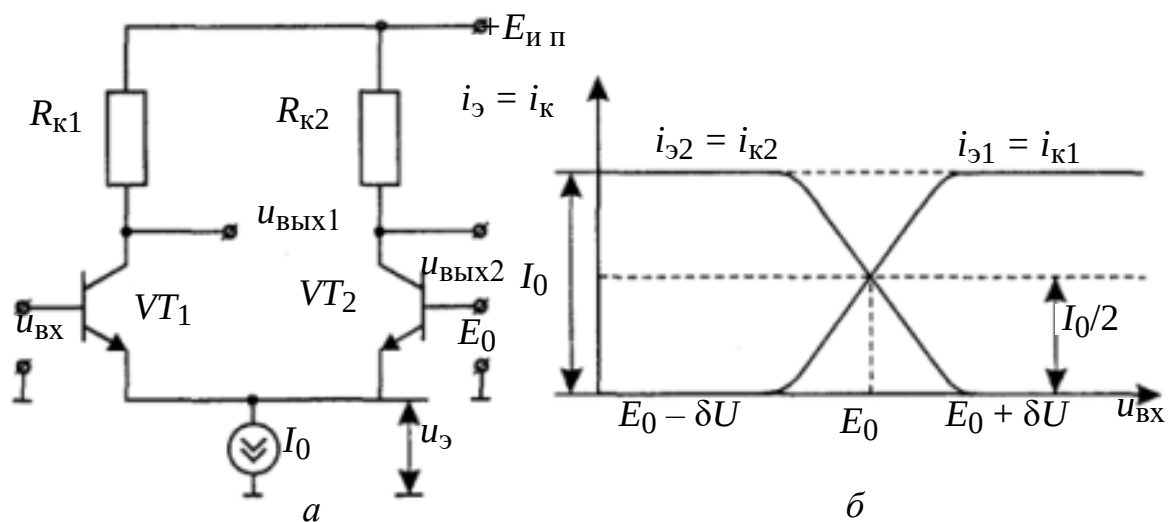


Рис. 4.6. Дифференциальный каскад ЭСЛ:
а – принципиальная электрическая схема; б – диаграмма токов и напряжений

Схема базового элемента ЭСЛ отличается от рассмотренной схемы переключателя тока тем, что она содержит в левом плече не один, а несколько транзисторов, работающих на общую нагрузку в цепи коллектора. При подаче на любой из входов сигнала $u_{\text{ВХ}} = U_{\text{ВХ}}^1 > (E_0 + \delta U)$ происходит переключение тока в левое плечо, а при наличии на всех входах сигналов $u_{\text{ВХ}} = U_{\text{ВХ}}^0 < (E_0 + \delta U)$ ток переключается в правое плечо. Следовательно, при снятии выходного напряжения с левого плеча схема выполняет операцию ИЛИ–НЕ, а при снятии сигнала с правого плеча – операцию ИЛИ. Принципиальная схема двухвходового элемента ЭСЛ представлена на рис. 4.7, а.

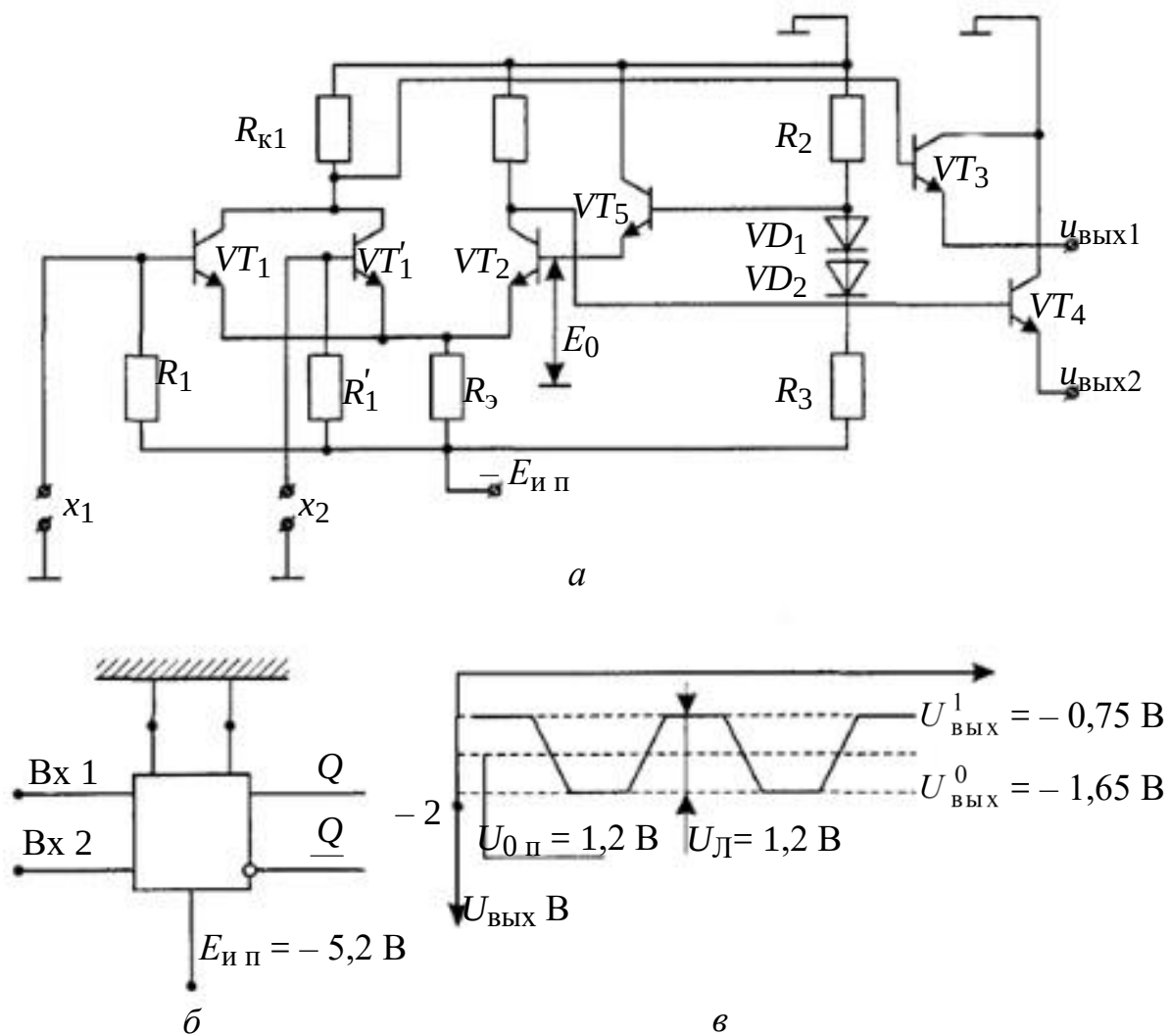


Рис. 4.7. Двухвходовый элемент ЭСЛ:
 а – принципиальная электрическая схема; б – УГО;
 в – диаграмма выходного напряжения

Особенностью схемы ЭСЛ является питание от источника с заземленным плюсом. Такое включение позволяет повысить помехоустойчивость схемы, так как в этом случае сечение коллекторных шин питания делается большим, что уменьшает их сопротивление. Тогда на коллекторной шине питания броски тока не создают значительного паразитного падения напряжения, которое воспринимается последующим логическим элементом как помеха. Опорное напряжение E_0 подается на базу VT_2 с цепочки R_2, VD_1, VD_2, R_3 .

При цепочечном включении логических элементов выходное напряжение предыдущего элемента является входным для последующего. При этом последующий элемент не должен переходить в режим

насыщения при подаче на его вход логической единицы. С этой целью схема ЭСЛ содержит разделительные эмиттерные повторители VT_3 и VT_4 , благодаря которым выходные потенциалы схемы ЭСЛ снижаются на 0,7 В относительно потенциалов коллекторов VT_1 и VT_2 . Поскольку эмиттерные повторители обладают низким выходным сопротивлением, то подключение к выходу схемы внешних нагрузок слабо влияет на ее работу. Поэтому коэффициент разветвления для элемента ЭСЛ достигает 25. Схематическое изображение элементов ЭСЛ показано на рис. 4.7, б. Наличие двух заземляемых выводов (одного непосредственно от логического элемента, другого от коллекторной шины эмиттерных повторителей) способствует повышению помехоустойчивости схемы. Временная диаграмма работы схемы ЭСЛ представлена на рис. 4.7, в.

4.4. Логические элементы на однотипных МДП-транзисторах

В настоящее время предпочтение отдается МДП-транзисторам с индуцированным каналом n -типа, которые обеспечивают более высокое быстродействие логического элемента. Анализ ЛЭ на МДП-транзисторах проще, чем на биполярных транзисторах, потому что во входных цепях практически отсутствует ток (напомним, что полевые транзисторы обладают большим входным сопротивлением и поэтому работают в режиме управления напряжением). Следовательно, при работе в цепочке отдельные ЛЭ функционируют независимо друг от друга и каждый из них можно анализировать без учета влияния предыдущего и последующего. В частности, уровни U^0 и U^1 не зависят от нагрузки и остаются такими же, как и в режиме холостого хода. Влияние последующего сводится к увеличению выходной емкости данного ЛЭ.

На рис. 4.8, а приведена схема ЛЭ, реализующего логическую функцию ИЛИ–НЕ.

При подаче на оба входа, x_1 и x_2 , или на любой из них высокого уровня напряжения U^1 оба транзистора, VT_1 и VT_2 , или один из них открыты, и на выходе устанавливается низкий уровень напряжения U^0 (логический нуль). Если на обоих входах, x_1 и x_2 , действует напряжение низкого уровня U_0 , то транзисторы VT_1 и VT_3 закрыты, и на выходе устанавливается высокий уровень напряжения $U^1 = E_{и.п.}$. Таким образом, логический перепад составляет $U_{л} = U^1 - U^0 \approx E_{и.п.}$

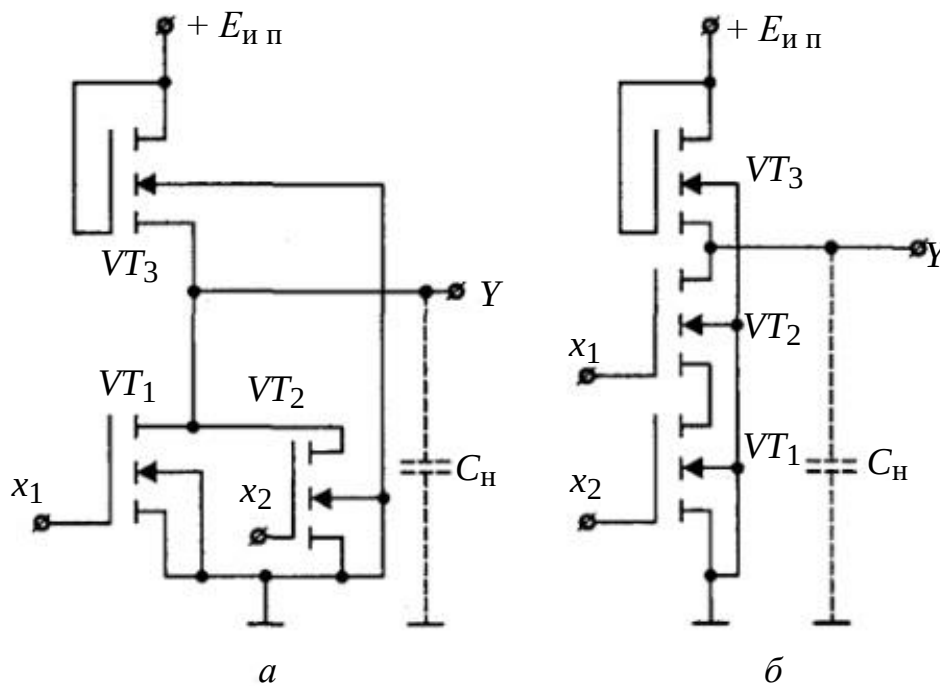


Рис. 4.8. Логические элементы ИЛИ–НЕ на МДП-транзисторах:

a – параллельное включение входных транзисторов;

б – последовательное включение входных транзисторов

Логический элемент, схема которого показана на рис. 4.8, *б*, реализует функцию И–НЕ. Если хотя бы один из управляющих транзисторов закрыт (VT_1 или VT_2), т. е. на одном из входов действует низкий уровень напряжения U^0 , то на выходе схемы будет высокий уровень напряжения $U^1 = E_{иП}$. Схема переключается в другое состояние (низкий уровень напряжения на выходе), только когда на всех входах действуют высокие уровни напряжения U^1 (транзисторы VT_1 и VT_2 открыты). Быстродействие ЛЭ на однотипных МДП-транзисторах, как и аналогичных ключей, ограничивается скоростью перезаряда емкости нагрузки C_n , величина которой пропорциональна количеству нагрузочных ЛЭ.

4.5. Логические элементы на комплементарных МДП-транзисторах

Двухвходовая схема ЛЭ на комплементарных МДП-транзисторах (КМДП), реализующая функцию ИЛИ–НЕ, приведена на рис. 4.9, *а*.

Действие на входах транзисторов VT_1 и VT_2 уровня логического нуля U^0 обуславливает их закрытое состояние, при этом последовательно соединенные нагрузочные транзисторы VT_2 и VT_4 открыты, и на выходе схемы устанавливается напряжение U^1 . Если хотя бы на один из входов поступает сигнал логической единицы U^1 , то открывается соответствующий управляющий транзистор (VT_1 или VT_2), а связанный с ним нагрузочный транзистор (VT_3 или VT_4) закрывается. На выходе схемы устанавливается напряжение U^0 .

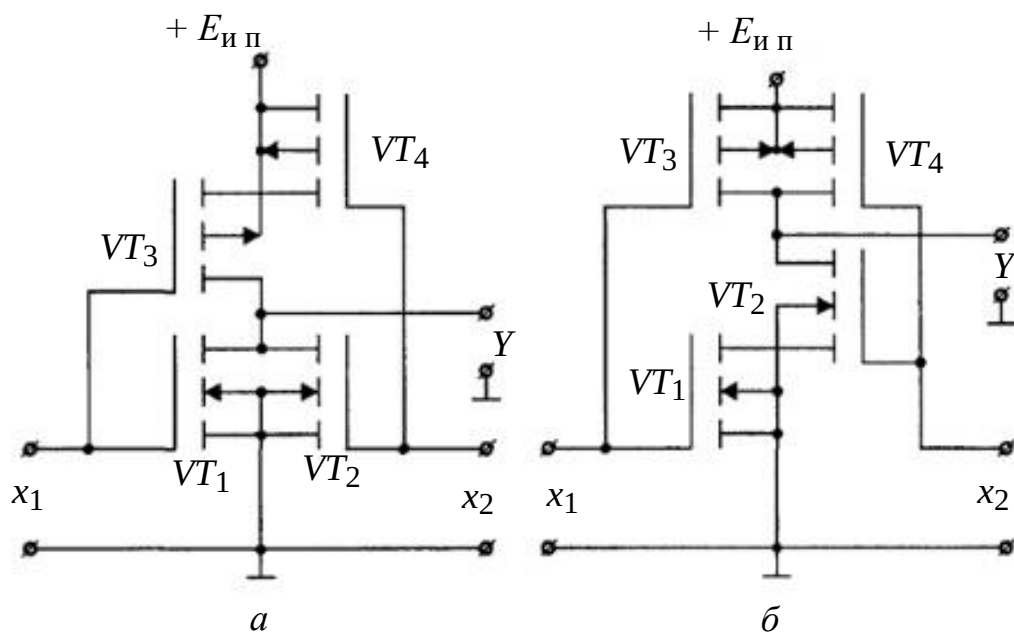


Рис. 4.9. Логические элементы на комплементарных МДП-транзисторах:
а – ИЛИ–НЕ; б – И–НЕ

В схеме И–НЕ (рис. 4.9, б) при действии уровня логического нуля U^0 на входах схемы оба управляющих транзистора, VT_1 и VT_2 , закрыты, а нагрузочные транзисторы VT_3 и VT_4 открыты, поэтому на выходе схемы будет высокий уровень напряжения $U^1 \approx E_{ип}$. Состояние схемы не изменится, если напряжение U^0 поступит только на один из входов, так как один из последовательно включенных управляющих транзисторов остается закрытым. При подаче на оба входа высокого уровня напряжения U^1 управляющие транзисторы VT_1 и VT_2 открыты, а нагрузочные VT_3 и VT_4 закрыты, и на выходе схемы устанавливается низкий уровень напряжения U^0 .

4.6. Запоминающие устройства

Запоминающие устройства предназначены для записи, хранения и считывания двоичной информации. В состав запоминающего устройства входят: матрица-накопитель и функциональные узлы, необходимые для управления матрицей-накопителем, усиления сигналов при записи и считывании, обеспечения режима синхронизации. Все эти элементы расположены на одном полупроводниковом кристалле.

На рис. 4.10 показана структура ЗУ, в которой матрица-накопитель состоит из 16 элементов памяти, объединенных в 4 строки и 4 столбца. ЭП, расположенные в одной строке, образуют ячейку памяти, способную запомнить четырехразрядное машинное слово, т. е. 4 бита информации.

Эти ЭП объединены адресными шинами X_0 – X_3 . Элементы, расположенные в одном столбце, объединены разрядными шинами Y_0 – Y_3 . В режиме записи информации разрядные шины подключаются к усилителям записи, и на них подается комбинация нулей и единиц, а на одну из адресных шин от дешифратора адреса поступает управляющий сигнал, в результате входная комбинация нулей и единиц оказывается записанной в 4 элемента памяти. В режиме хранения разрядные шины отключаются от усилителей. В режиме считывания разрядные шины подключаются к усилителям считывания, и происходит чтение ранее записанной информации.

Запоминающие устройства делятся на две группы: постоянные запоминающие устройства и оперативные запоминающие устройства.

ПЗУ (по-английски *ROM – Read Only Memory*, что переводится как «память только для считывания») используются только для считывания ранее записанной информации. В ПЗУ обычно хранятся стандартные программы, необходимые для выполнения арифметических или логических операций. Важным свойством ПЗУ является сохраняемость информации при выключении питания. По способу записи информации ПЗУ подразделяются на масочные, программируемые и репрограммируемые.

ОЗУ (по-английски *RAM – Random Access Memory*, что переводится как «память с произвольной выборкой») предназначены для быстрого попеременного ввода и вывода информации. В ОЗУ обычно хранятся промежуточные данные в процессе выполнения арифметических или логических операций.

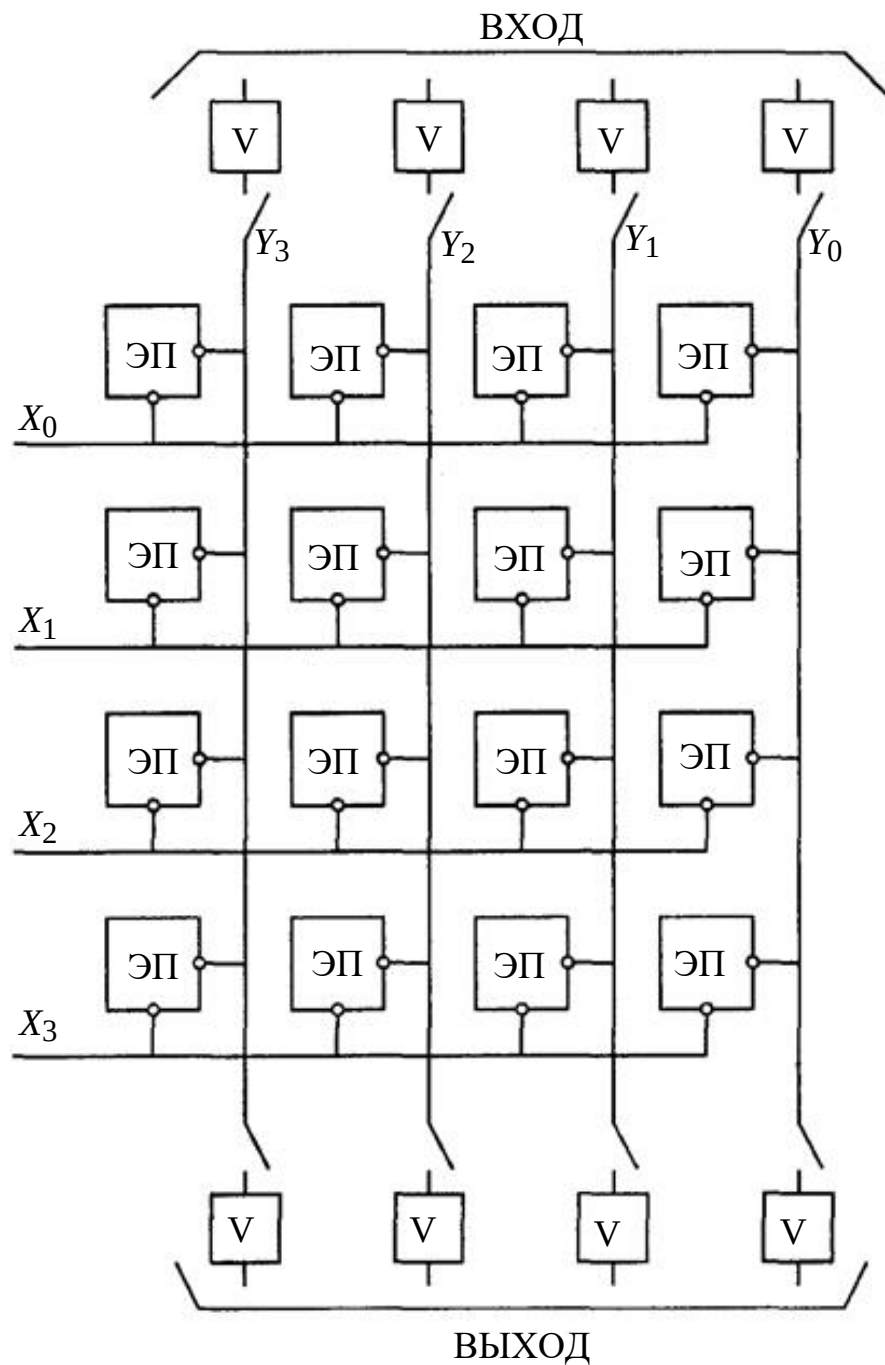


Рис. 4.10. Структура запоминающего устройства

Элементы памяти ОЗУ подразделяются на статические и динамические. ЭП статического типа хранят информацию сколь угодно долго, пока включен источник питания. В ЭП динамического типа информация хранится ограниченное время; в этих элементах предусматривается восстановление (регенерация) информации.

4.7. Масочные постоянные запоминающие устройства

В качестве элементов памяти масочных ПЗУ используются диодные или транзисторные структуры, включаемые на пересечениях адресных и разрядных шин.

На рис. 4.11 представлена схема ПЗУМ, содержащая в качестве элементов памяти полупроводниковые диоды. В процессе изготовления таких ИМС формируется матрица размером 4×4 , содержащая 16 диодов (в реальных схемах их число составляет 64, 128, 256, 512 и т. д.). На заключительном этапе изготовления ИМС с помощью маски, изготовленной методом фотолитографии, осуществляется подключение диодов к адресным и разрядным шинам. Наличие диода между адресной и разрядной шиной соответствует логической единице, отсутствие – логическому нулю. При подаче на какую-либо адресную шину X положительного напряжения она через диод соединяется с соответствующей разрядной шиной. Например, при подаче напряжения на шину X_1 считывается четырехразрядное число 0001, а при подаче напряжения на шину X_3 – число 0011. Напряжение на адресные шины поступает от дешифратора адреса.

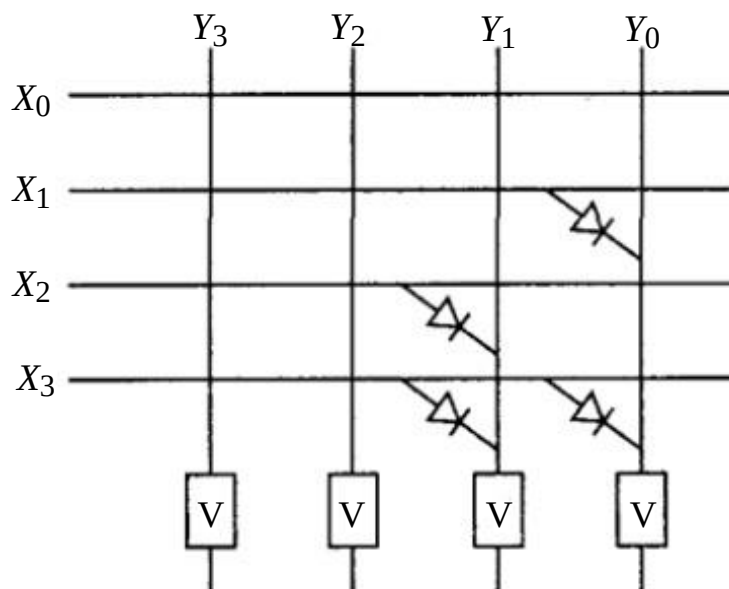


Рис. 4.11. Схема масочного ПЗУ

4.8. Программируемые и репрограммируемые постоянные запоминающие устройства

Отличие программируемых ПЗУ от масочных состоит в том, что программирование осуществляется не производителем в процессе изготовления ИМС, а пользователем перед началом эксплуатации. В программируемых ПЗУ диоды (или биполярные транзисторы) подключаются к разрядным шинам через плавкие перемычки. При программировании эти перемычки пережигают путем пропускания импульсов тока. В результате образуется структура, аналогичная масочному ПЗУ.

Репрограммируемые ПЗУ допускают многократное перепрограммирование, т. е. многократные стирания ранее записанной информации и записи новой. В качестве элемента памяти в РПЗУ используют МДП-транзистор с плавающим затвором, эквивалентная схема которого показана на рис. 4.12, *а*. Такие транзисторы помимо обычного управляющего затвора, соединенного с адресной шиной, содержат второй затвор, размещенный между первым и подложкой (рис. 4.12, *б*). Этот дополнительный затвор не имеет внешних выводов и поэтому называется плавающим. Оба затвора выполнены из сильнолегированного поликремния и отделены один от другого слоем SiO_2 толщиной 0,02–0,04 мкм.

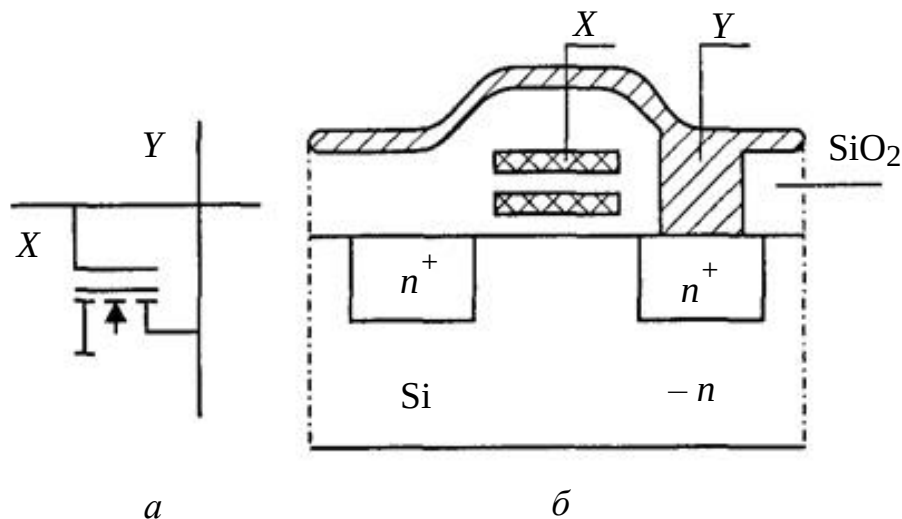


Рис. 4.12. Репрограммируемое ПЗУ:
а – электрическая схема; *б* – внутренняя структура

Толщина оксидного слоя между плавающим затвором и подложкой имеет такую же величину. Длина канала составляет 1–2 мкм. Площадь, занимаемая элементом на подложке, составляет 6–10 литографических квадратов, что позволяет создавать накопители информации с емкостью более 1 Мбит.

В режиме программирования логической единицы на разрядную шину подается высокий потенциал U^1 (около 10 В), а на адресную шину – потенциал $U_x > U^1$. При этих условиях между истоком и стоком существует канал, где электроны разгоняются до скоростей, при которых становится возможным их лавинное размножение, в результате чего появляются высокоэнергетические (горячие) электроны, способные преодолеть потенциальный барьер на границе раздела «кремний – оксид кремния». Поскольку потенциал затвора выше потенциала канала, то существует поперечное (вертикальное) электрическое поле, в котором электроны, попавшие в слой оксида кремния, перемещаются в сторону плавающего затвора, в результате чего последний приобретает отрицательный заряд.

В режиме программирования логического нуля на разрядную шину подается низкий потенциал U^1 . В этом случае продольное (горизонтальное) электрическое поле в канале отсутствует, и накопление заряда в плавающем затворе не происходит. В режиме хранения логической единицы плавающий затвор имеет отрицательный заряд, а в режиме хранения логического нуля заряд равен нулю. Поскольку плавающий затвор со всех сторон окружен диэлектриком, то заряд затвора сохраняется длительное время (несколько лет). Наличие или отсутствие заряда затвора влияет на величину порогового напряжения МДП-транзистора. Если отрицательный заряд отсутствует, то пороговое напряжение $U_{\text{пор}}^0$ невелико (порядка 1–2 В). Если же заряд существует, то пороговое напряжение $U_{\text{пор}}^1$ возрастает (порядка 8 В).

В режиме считывания разрядная шина Y подключается к его усилителю, а на шину X подается напряжение U_x , лежащее в пределах между $U_{\text{пор}}^0$ и $U_{\text{пор}}^1$ (обычно 5 В). Если в ЭП хранится логическая единица, то канал в МДП-транзисторе не индуцируется, и шина оказывается изолированной от подложки. Если в ЭП хранится логический ноль, то канал индуцируется и шина Y соединяется с подложкой.

Стирание (удаление электронов из плавающего затвора) осуществляется путем облучения кристалла ультрафиолетовыми лучами, под действием

которых электроны приобретают энергию, достаточную для преодоления потенциального барьера на границе между кремнием и его оксидом. Далее они дрейфуют в подложку, потенциал которой должен быть выше потенциала управляющего затвора. Корпуса ИМС, содержащие ЭП рассмотренного типа, имеют специальное окно со вставленным кварцевым стеклом. В каждом цикле перепрограммирования происходят некоторые изменения в структуре кристаллической решетки полупроводника, образуются дополнительные поверхностные заряды, происходит захват электронов ловушками в слое оксида кремния и т. д. Все это приводит к изменению пороговых напряжений. Поэтому максимально допустимое число циклов перепрограммирования обычно не превышает 10^3 .

Рассмотренный способ хранения информации нельзя признать совершенным. Процесс записи протекает сравнительно медленно (около 1 мс) и связан с большими энергетическими затратами по преодолению потенциального барьера между кремнием и его оксидом. Более совершенным является способ проникновения электронов в плавающий затвор путем туннелирования из подложки через диэлектрик.

На рис. 4.13 приведена энергетическая диаграмма системы «подложка – диэлектрик – плавающий затвор», иллюстрирующая механизм туннельных переходов. При ширине запрещенной зоны кремния, равной 1,1 эВ, и ширине запрещенной зоны его оксида, равной примерно 9 эВ, на границе Si–SiO₂ возникает энергетический барьер высотой около 4 эВ.

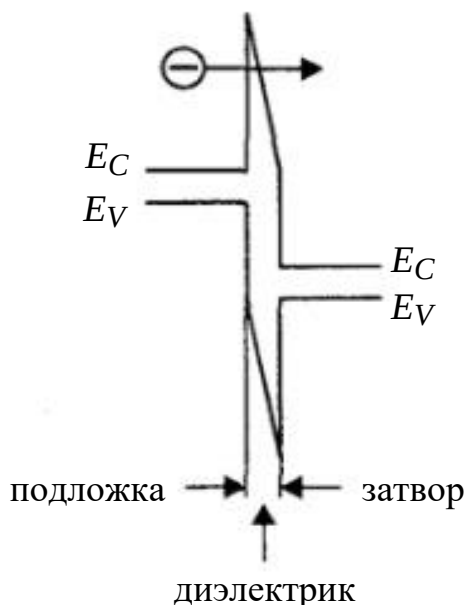


Рис. 4.13. Энергетическая диаграмма системы «подложка – диэлектрик – плавающий затвор»

Преодолеть такой барьер может незначительная часть «горячих» электронов. Если же уменьшить толщину диэлектрика до 0,01 мкм и довести величину напряженности электрического поля в нем до 10^6 – 10^7 В/см, то электроны смогут совершить туннельные переходы из зоны проводимости подложки в зону проводимости диэлектрика и оттуда в зону проводимости поликремниевого затвора. Поскольку плавающий затвор со всех сторон изолирован, то в нем произойдет накопление отрицательного заряда. Туннелирование электронов через диэлектрик – процесс двухсторонний, его можно использовать как для заряда, так и для разряда плавающего затвора.

Структура ЭП, программируемого с помощью туннельного эффекта, представлена на рис. 4.14, а, эквивалентная схема – на рис. 4.14, б. Левая часть структуры образует бистабильный МДП-транзистор с плавающим затвором, перекрывающим область стока со слоем туннельно-тонкого диоксида толщиной порядка 10 нм, в котором происходит туннелирование электронов. Правая часть структуры представляет собой обычный МДП-транзистор, предназначенный для подключения стока бистабильного транзистора к разрядной шине.

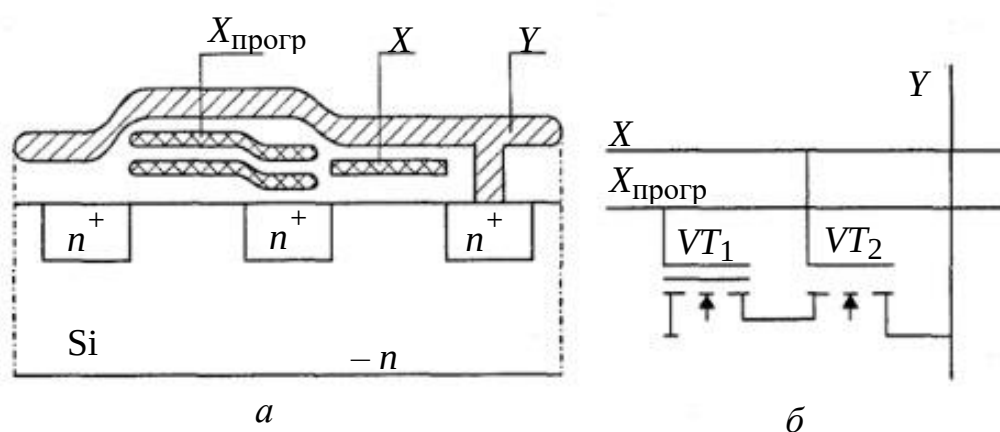


Рис. 4.14. Структура программируемого с помощью туннельного эффекта элемента памяти:

а – внутренняя структура; б – электрическая схема

В режиме программирования на шину $X_{\text{прогр}}$ подается напряжение порядка 20 В, а на адресную шину – напряжение, превышающее пороговое, в результате чего разрядная шина через транзистор VT_2 подключается к стоку транзистора VT_1 . При программировании логической единицы на разрядной

шине устанавливается нулевой потенциал. В этом случае в туннельно-тонком диоксиде происходит туннелирование электронов в плавающий затвор. При программировании логического нуля на разрядной шине устанавливается высокий потенциал, и туннелирования не происходит. В итоге, как и в предыдущем случае, при программировании логической единицы плавающий затвор приобретает отрицательный заряд, а при программировании логического нуля заряд затвора равен нулю.

При считывании информации подается отпирающее напряжение на шину X , и транзистор VT_1 подключается к разрядной шине через транзистор VT_2 . Для стирания информации шину $X_{\text{прогр}}$ соединяют с подложкой, а на сток транзистора VT_1 подают высокое напряжение, при этом происходит туннелирование электронов из плавающего затвора в сток.

Рассмотренный ЭП обладает рядом достоинств по сравнению с элементами, в которых происходит накопление «горячих» электронов, например, имеется возможность поэлементного быстрого электрического стирания информации, кроме того, число циклов перепрограммирования достигает 10^5 . Однако ЭП с программированием с помощью туннельного эффекта занимают сравнительно большую площадь (порядка 30–90 литографических квадратов).

4.9. Элементы памяти оперативного запоминающего устройства статического типа

В качестве элементов памяти ОЗУ статического типа используются триггеры. На рис. 4.15 представлена схема элемента памяти на МДП-транзисторах, состоящая из триггера (VT_1 – VT_4) и управляющих транзисторов VT_5 и VT_6 . В режиме записи на одну из разрядных шин подается напряжение U^0 , на другую – U^1 , а на адресную шину подается положительный импульс напряжения, отпирающий транзисторы VT_5 и VT_6 , что приводит к подключению триггера к разрядным шинам. Если $U'_Y = U^0$, а $U''_Y = U^1$, то отпирается VT_1 и запирается VT_2 ; если $U'_Y = U^1$, а $U''_Y = U^0$, то отпирается VT_2 и запирается VT_1 . В режиме хранения напряжение на шине X близко к нулю, транзисторы VT_5 и VT_6 заперты, триггер отключен от разрядных шин и хранит ранее записанную информацию.

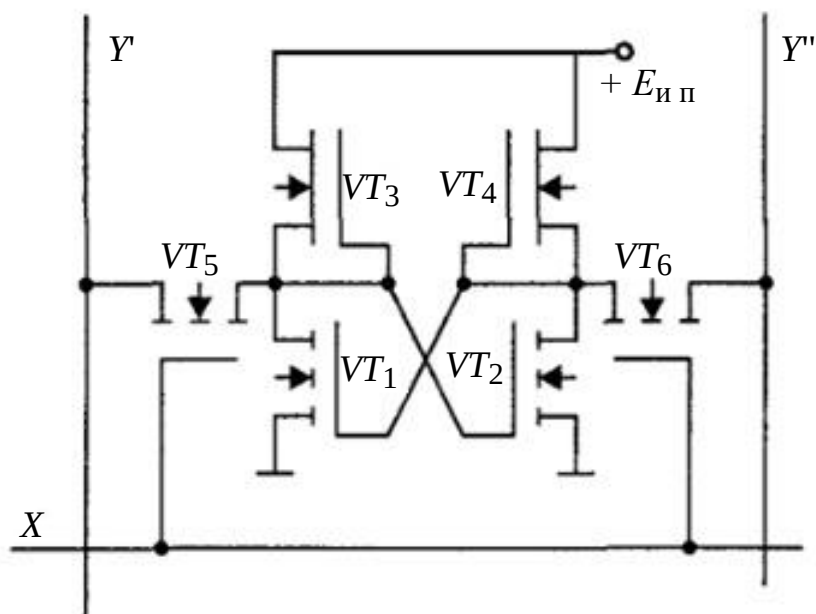


Рис. 4.15. Схема элемента памяти на МДП-транзисторах

В режиме считывания шины Y' и Y'' подключаются к его усилителю, а на адресную шину X подается положительный импульс напряжения, вследствие чего триггер оказывается подключенным к разрядным шинам. Площадь, занимаемая таким элементом памяти на подложке, составляет примерно 150 литографических квадратов. Информационная емкость матрицы достигает 10–25 Кбит, она ограничена допустимым разогревом кристалла. Элемент памяти может быть выполнен на комплементарных транзисторах. В этом случае в режиме хранения информации потребляется ничтожно малая мощность (десятки пиковатт), что позволяет повысить информационную емкость до 256 Кбит.

4.10. Элементы памяти динамического типа

Принцип действия элементов памяти динамического типа основан на хранении информации в виде накопленных на паразитных емкостях диодов или транзисторов электрических зарядов. Обычно для этой цели используются МДП-транзисторы. На рис. 4.16, а представлена схема однотранзисторного ЭП. В этой схеме электрический заряд хранится в запоминающем конденсаторе C_z , включенном между истоком и подложкой МДП-транзистора. В режиме записи на шину X подается положительный импульс напряжения, в результате в транзисторе индуцируется канал, и конденсатор C_z оказывается подключенным к разрядной шине Y .

Если на разрядной шине имеется высокий потенциал U^1 , то конденсатор C_3 заряжается до напряжения U^1 . Если же потенциал разрядной шины равен $U^0 \approx 0$, то заряда конденсатора не происходит.

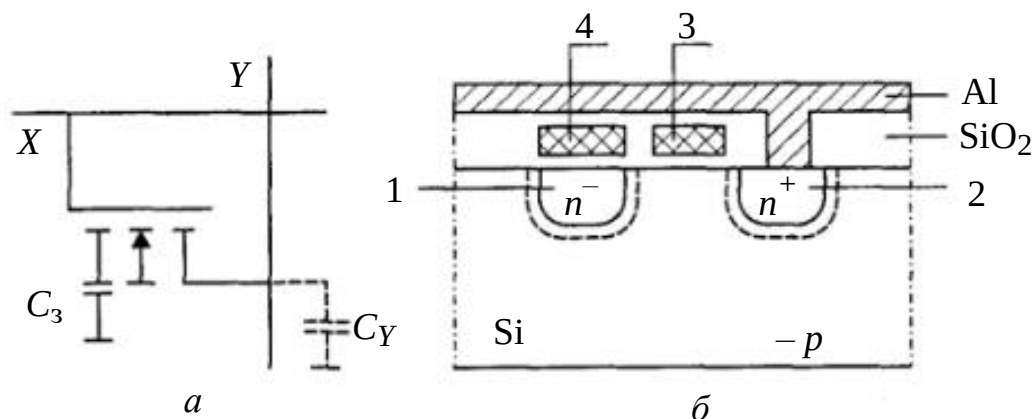


Рис. 4.16. Однотранзисторный элемент памяти:
a – электрическая схема; *б* – внутренняя структура элемента;
 1 – исток; 2 – сток; 3 – затвор; 4 – конденсаторная шина Y

В режиме хранения информации $U_X = 0$, и конденсатор C_3 оказывается отключенным от шины Y . В режиме чтения $U_X > 0$, и конденсатор C_3 подключается к шине Y , которая, в свою очередь, подключается к усилителю считывания. При записи на конденсаторе накапливается электрический заряд $Q = C_3 U_Y$. При считывании на разрядной шине устанавливается напряжение $U_{\text{счит}} = Q / (C_3 + C_Y)$, где C_Y – паразитная емкость разрядной шины. Для повышения размаха считываемого сигнала $\delta U_{\text{счит}} = U_{\text{счит}}^1 - U_{\text{счит}}^0$ необходимо увеличивать отношение C_3 / C_Y .

В режиме хранения информации конденсатор C_3 постепенно разряжается вследствие существования токов утечки. Поэтому необходимо периодическое восстановление заряда конденсатора. С этой целью через каждые несколько миллисекунд происходит считывание информации с элемента памяти, преобразование ее в напряжение U^1 или U^0 и последующая запись этого напряжения в элемент памяти. На рис. 4.16, *б* представлена простейшая структура однотранзисторного ЭП, в которой область 1 является истоком, область 2 – стоком, а поликремниевый слой 3 представляет собой затвор транзистора, являющийся одновременно шиной строки X . Сток 2 соединен с алюминиевой шиной, напыленной на поверхность слоя SiO_2 . Поликремниевый слой 4, проходящий параллельно слою 3, образует конденсаторную шину Y , соединенную с подложкой.

Емкость запоминающего конденсатора C_3 складывается из емкости между истоком 1 и конденсаторной шиной 4 и емкости p - n -перехода между истоком 1 и подложкой. Паразитная емкость C_Y является суммой емкостей p - n -перехода между стоком 2 и подложкой и между шиной Y и подложкой. Отношение C_3/C_Y пропорционально площади запоминающего конденсатора. При площади всего элемента около 30 литографических квадратов $C_3/C_Y = 5-10$.

Контрольные вопросы

1. Что такое цифровые интегральные микросхемы?
2. Для чего предназначены цифровые интегральные микросхемы?
3. Что лежит в основе построения цифровых интегральных микросхем?
4. В чем заключается особенность цифровых интегральных схем?
5. Основой чего являются цифровые интегральные микросхемы?
6. Что такое транзисторно-транзисторная логика?
7. Для чего используют ТТЛ?
8. Как реализуются логические функции И–НЕ и ИЛИ–НЕ в транзисторно-транзисторной логике?
9. Чем схема ТТЛ отличается от схемы ДТЛ?
10. Что используют для увеличения скорости работы ТТЛ?
11. Как работает схема транзисторно-транзисторной логики?
12. Что такое эмиттерно-связанная логика?
13. Для чего используют ЭСЛ?
14. Как работает схема эмиттерно-связанной логики?
15. Почему в электронных схемах на ЭСЛ элементах обеспечивается высокое быстродействие?
16. Что составляет основу схемы ЭСЛ?
17. Что является особенностью схемы ЭСЛ? Как это влияет на ее свойства?
18. Что такое КМОП-логика? Для каких целей ее используют?
19. Как реализуются простейшие логические функции в КМОП логических элементах?
20. Как строятся логические элементы на КМОП-ключах коммутации?
21. В чем главное достоинство КМОП логических элементов?
22. Каковы преимущества КМОП-логики по сравнению с МОПТЛ?

ГЛАВА 5. ОСНОВЫ ФУНКЦИОНАЛЬНОЙ ЭЛЕКТРОНИКИ

5.1. Элементы функциональной электроники

Основной тенденцией развития микроэлектроники является повышение степени интеграции, оцениваемой логарифмом числа элементов и компонентов на кристалле. Если первые ИС содержали несколько десятков элементов на кристалле, то в современных сверхбольших интегральных микросхемах степень интеграции достигает 7. Разработаны интегральные микросхемы ультрабольшой степени интеграции, в которой степень интеграции более 7.

В функциональной электронике работа схемы осуществляется за счет использования различных физических явлений в средах. В схемотехнической электронике носителем информации является электрическое состояние некоторой схемотехнической ячейки, а перемещение информации от одной ячейки к другой осуществляется последовательно путем многократных преобразований типа «потенциал – заряд – ток – потенциал». В функциональной электронике носителем информации является локальная неоднородность в некоторой протяженной однородной среде. Эти неоднородности называют динамическими, потому что они могут возникать в объеме твердого тела с помощью различных физических явлений, могут перемещаться, изменять форму, состояние, взаимодействовать с другими неоднородностями. Известны различные типы динамических неоднородностей, отличающихся размерами, формой, временем жизни, объемом содержащейся информации и т.п. На их основе можно создать приборы, позволяющие обрабатывать информацию в цифровой или аналоговой форме.

Существует ряд направлений функциональной электроники: акустоэлектроника, магнитоэлектроника, криоэлектроника, оптоэлектроника и др.

Функциональная электроника (термин нельзя назвать удачным) возникла на стыке электроники, вычислительной техники, материаловедения и других направлений. Современное ее развитие находится на первом этапе, который имеет следующие особенности.

В существующих устройствах функциональной электроники применяется одна среда, например, полупроводник в устройствах ФЭ на ПЗС, пьезоэлектрик в приборах на ПАВ, галлий-гадолиниевый гранат в устройствах ФЭ на ЦМД. При этом используются давно известные эффекты и явления: в ПЗС – эффект поля (как и в полевых транзисторах), в устройствах на ПАВ – прямой и обратный пьезоэлектрический эффект и т.д.

Развитие номенклатуры электронной компонентой базы современной электроники за счет создания новых и усовершенствованных компонентов и устройств функциональной электроники позволит создавать системы контроля широкого спектра применения.

Оснащение производственной и чисто бытовой деятельности человека различного рода датчиками (сенсоризация), т. е. замена органов чувств человека на искусственные датчики, в настоящее время рассматривается в качестве третьей промышленной революции вслед за первыми двумя – машинно-энергетической и информационно-компьютерной. Потребность в датчиках стремительно растет в связи с быстрым развитием автоматизированных систем контроля и управления, внедрением новых технологических процессов. Например, волоконно-оптические гироскопы выполняют функции детектора угловой скорости в инерциальном пространстве.

5.2. Проблемы повышения степени интеграции интегральных микросхем

При создании СБИС и УБИС приходилось и приходится решать целый ряд конструкторско-технологических проблем:

1. *Проблемы дефектов подложки.* Чем больше площадь кристалла, тем выше вероятность того, что дефект кристаллической структуры приведет к выходу из строя какого-либо элемента интегральной микросхемы. Эта проблема решается совершенствованием технологии изготовления полупроводниковых подложек.

2. *Проблема уменьшения размеров элементов ИС.* Известно, что размеры элементов определяются литографией. Разрешающая способность фотолитографии ограничена длиной волны света. Современная субмикронная литография использует излучение со значительно меньшей длиной волны, позволяющей получить размер элемента менее 1 мкм.

3. *Проблема теплоотвода.* Уменьшение размера элементов и расстояния между ними ведет к увеличению удельной мощности, рассеиваемой единицей поверхности подложки. Практически величина этой мощности не превышает 5 Вт/см^2 . Эта проблема решается применением микрорежимов работы логических элементов. При этом предпочтительнее схемы КМДП и И²Л, потребляющие мощность менее 0,1 мВт на логический элемент.

4. *Проблема межсоединений.* Огромное количество элементов, созданных на подложке, должны быть соединены между собой таким образом, чтобы обеспечить выполнение определенных функциональных преобразований сигналов. Достигается это многоуровневой разводкой.

На первом уровне формируют простые логические элементы, на втором – отдельные узлы, на третьем – блоки.

5.3. Функциональная электроника

Повышение степени интеграции ИМС и связанное с этим уменьшение размеров элементов имеют определенные пределы. Вместе с тем современные методы обработки информации непрерывно усложняются и не могут быть реализованы в рамках существующих микроэлектронных систем. Проблема может быть решена путем применения прибора функциональной электроники. Отличительной чертой таких приборов являются несхематические принципы их построения. Функции схемотехники выполняют непосредственно те или иные физические процессы в твердом теле. Примером устройства функциональной электроники может служить выпрямитель напряжения, принцип действия которого основан на термоэлектрическом эффекте (рис. 5.1).

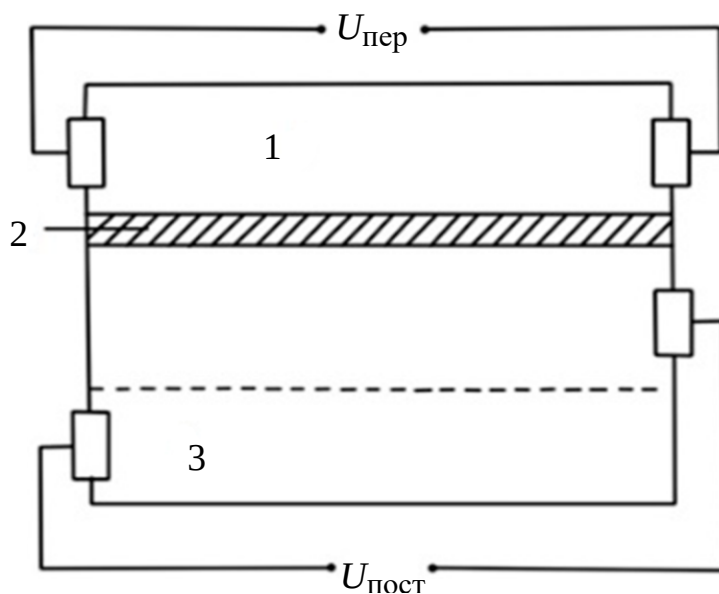


Рис. 5.1. Выпрямитель напряжения:

1 – резистивный слой; 2 – изолирующий слой; 3 – термоэлектрический слой

Выпрямитель содержит резистор на области 1, в которой при прохождении переменного тока выделяется тепловая энергия, распространяющаяся через изолирующий слой 2 в термоэлектрическую область 3, в которой в вертикальном направлении устанавливается некоторое стационарное распределение температуры, в результате чего возникает термо-ЭДС. Структура обладает достаточной теплоемкостью и, следовательно, инертностью, поэтому распределение температуры в термической области не изменяется в течение периода переменного напряжения.

5.4. Акустоэлектронные устройства

В акустоэлектронных устройствах используются явления, обусловленные механическими колебаниями твердого тела. В этих устройствах электрические сигналы преобразуются в акустические путем использования обратного пьезоэффекта, суть которого состоит в изменении размера твёрдого тела при приложении к нему электрического поля. Если электрическое поле изменяется с частотой, то в твердом теле возникают акустические колебания. Для преобразования акустических колебаний в электрические используется прямой пьезоэффект, при котором под воздействием механических колебаний на поверхности твердого тела образуются электрические заряды с противоположными знаками, т. е. возникают электрические колебания. На этом принципе основано действие ультразвуковой линии задержки (рис. 5.2), представляющей собой стержень твердого тела 1 длиной l , на торцах которого расположены пьезоэлектрические преобразователи 2 и 3 . При подаче на вход радиоимпульса с частотой в стержне возникает акустическая волна, которая через время $\tau = l/v$ достигает выходного преобразователя, изменяющего акустический сигнал в электрический. Изменяя длину стержня, можно регулировать длительность задержки радиоимпульса.

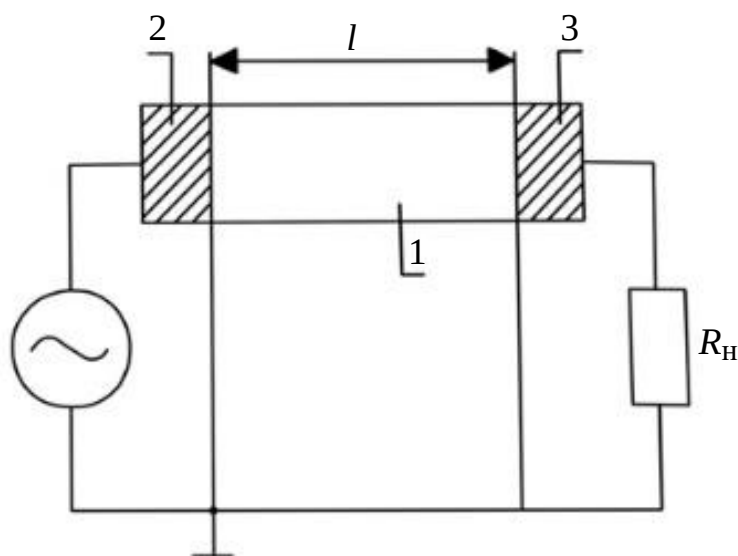


Рис. 5.2. Действие ультразвуковой линии задержки:
1 – твердотельный стержень; 2, 3 – пьезопреобразователи

Если в стержне создать продольное электрическое поле (рис. 5.3), то, используя взаимодействие акустических волн с электронными, можно

осуществить усиление электрических колебаний посредством увеличения амплитуды бегущей волны. Под действием внешнего поля в кристалле создается дрейф электронов в направлении распространения акустических волн. Если скорость дрейфа меньше скорости волны, то энергия волны поглощается электронами и волна затухает. Если же скорость дрейфа больше скорости волны, то электроны отдают ей свою энергию, амплитуда волны возрастает, вследствие чего увеличивается напряжение на выходе выходного пьезоэлектрического преобразователя.

Новым этапом развития акустоэлектроники является использование поверхностных акустических волн, которые распространяются в поверхностном слое пьезокристалла толщиной порядка длины волны, равной

$$\lambda_{\text{ак}} = v / f. \quad (5.1)$$

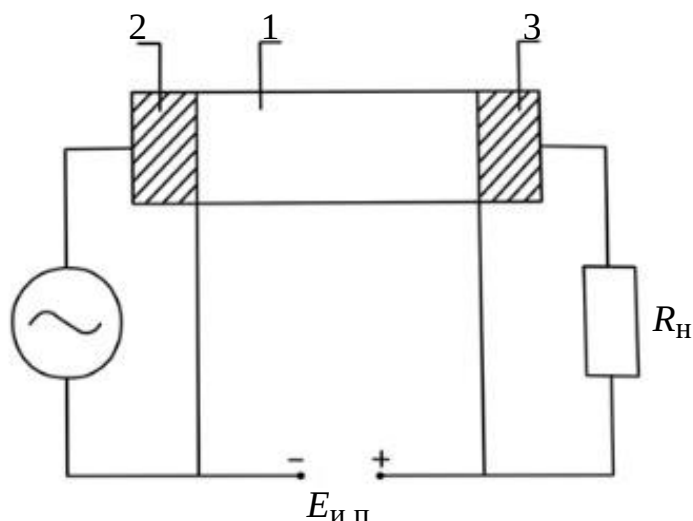


Рис. 5.3. Продольное электрическое поле:
1 – твердотельный стержень; 2, 3 – пьезопреобразователи

В таких устройствах (рис. 5.4) преобразования электрических сигналов в акустические и наоборот осуществляются посредством штыревых металлических электродов, расположенных на поверхности акустопровода 4. Преобразователь 1 возбуждает поверхностные акустические волны, направленные в противоположные стороны. Для создания бегущей волны на концы акустопровода нанесено поглощающее покрытие 3. Преобразователь является частотно-избирательным элементом.

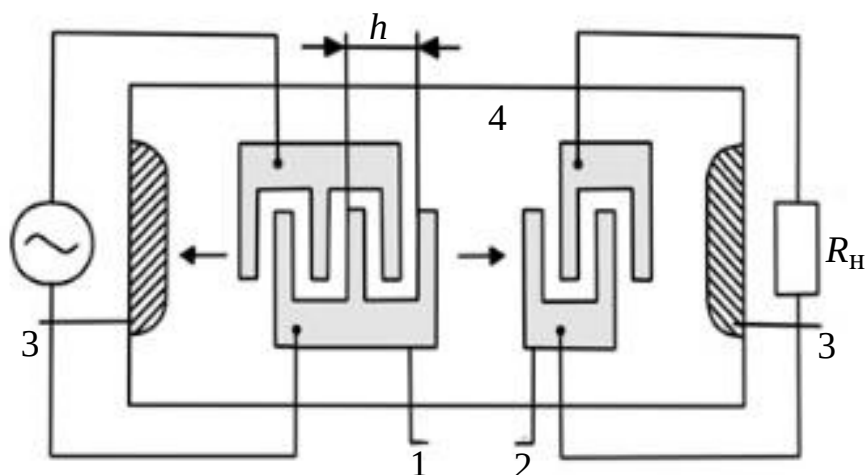


Рис. 5.4. Устройство преобразования электрических сигналов в акустические:
 1 – возбуждающий преобразователь; 2 – принимающий преобразователь;
 3 – поглощающее покрытие; 4 – подложка

5.5. Устройство на основе эффекта Ганна

В 1963 году американский ученый Д. Ганн обнаружил, что кристалл арсенида галлия с электронной электропроводностью под действием сильного электрического поля способен генерировать СВЧ-колебания. Это явление получило название эффекта Ганна, а созданные на его основе приборы – диодов Ганна. Строго говоря, эти приборы не являются диодами, поскольку в них отсутствуют выпрямляющие в электронно-дырочный переход. В зарубежной литературе чаще используется сокращённое название *TED*. Приборы на основе эффекта Ганна правильнее отнести к приборам функциональной электроники, так как в них преобразования энергии постоянного тока в энергию СВЧ-колебаний происходят за счёт сложных физических процессов в кристалле арсенида галлия. Чтобы понять эти процессы, необходимо внести некоторые уточнения в зонную модель полупроводника, которой пользуются для объяснения процессов в полупроводниковых диодах и транзисторах.

Известно, что энергия свободного электрона равна

$$E = \frac{m_0 V^2}{2} = \frac{(m_0 V)^2}{2m_0} = \frac{P^2}{2m_0}, \quad (5.2)$$

где $P = m_0 V$ – импульс электрона. Согласно формуле Луи де Бройля:

$$P = \frac{h}{\lambda} = \frac{\hbar}{\lambda/2\pi}, \quad (5.3)$$

где λ – длина электронной волны; $k = 2\pi/\lambda$ – волновой вектор электрона, по направлению совпадающий с направлением распространения электронной волны.

Следовательно, энергию свободного электрона можно выразить через волновой вектор k :

$$E = \frac{\hbar^2}{2m_0} k^2. \quad (5.4)$$

Отсюда следует, что зависимость энергии свободного электрона от его волнового вектора имеет квадратичный характер.

В твердом теле на электрон действует периодическое потенциальное поле кристаллической решетки. Чтобы описать сложные законы движения электрона в кристалле с помощью соотношений классической механики, влияние внутренних сил на электрон учитывают, заменив массу свободного электрона m_0 эффективной массой m^* . Импульс $P = m^* V$ называется квазиимпульсом электрона. Тогда диаграмму энергетических зон полупроводника в k -пространстве можно представить так, как это показано на рис. 5.5, *а*.

При упрощенном рассмотрении энергетической диаграммы вместо истинных кривых, ограничивающих валентную зону и зону проводимости, проводят две параллельные прямые: одну – касательную к дну зоны проводимости, вторую – касательную к вершине валентной зоны. Первую прямую принимают за нижнюю границу зоны проводимости E_c , вторую – за верхнюю границу валентной зоны E_v . Расстояние между ними равно ширине запрещенной зоны ΔE_z .

Зона проводимости полупроводника может быть образована из нескольких перекрывающихся между собой разрешенных энергетических зон. В этом случае энергетическая диаграмма зоны проводимости в k -пространстве может иметь минимум, смещенный относительно точки $k = 0$ (рис. 5.5, *б*), что имеет место в кремнии. В кристалле арсенида галлия имеются два минимума (рис. 5.5, *в*) в кристаллографическом направлении (100), которые называются энергетическими долинами. Полупроводник в этом случае называется двухдолинным. Минимальная энергия электронов, имеющая место при $k = 0$, соответствует нижней границе зоны проводимости. Верхняя долина отделена от нижней долины энергетическим зазором $\Delta E = 0,36$ эВ.

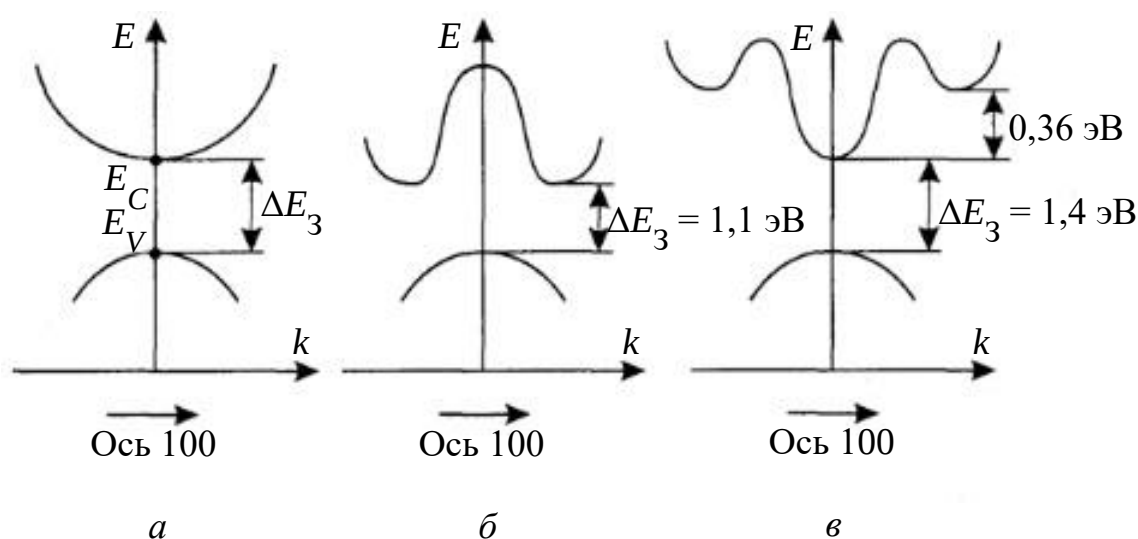


Рис. 5.5. Диаграмма энергетических зон полупроводника в k -пространстве:
 а – с учетом влияния внутренних сил на электрон, заменяя массу свободного электрона m_0 эффективной массой m^* ; б – энергетические зоны образованы из нескольких перекрывающихся между собой разрешенных энергетических зон;
 в – энергетические зоны в двухдолинном полупроводнике

Эффективные массы электронов, находящихся в нижней и верхней долинах, различаются по значению. В нижней долине $m_1^* = 0,072m_0$, в верхней – $m_1^* = 1,2m_0$. Подвижность электронов равна

$$\mu = q\tau_c / m^*, \quad (5.5)$$

где τ_c – среднее время между столкновениями с решеткой. Подвижность электронов различна для нижней и верхней долин: $\mu_1 = 8 \cdot 10^3 \text{ см/В} \cdot \text{с}$, $\mu_2 = 10^2 \text{ см/В} \cdot \text{с}$. Следовательно, скорость дрейфа «легких» электронов нижней долины, пропорциональная напряженности внешнего поля E , почти на два порядка больше скорости дрейфа «тяжелых» электронов верхней долины.

При комнатной температуре практически все электроны проводимости находятся в нижней долине. При увеличении температуры все большее число электронов приобретает энергию, достаточную для перехода в верхнюю долину. В результате нижняя долина опустошается, а верхняя – заполняется. Этот процесс называется междолинным переходом.

Увеличение энергии электронов можно осуществить не только повышением температуры кристалла, но и с помощью внешнего электрического поля, при изменении напряженности которого можно управлять междолинным переходом электронов. Величина напряженности поля, при которой начинается интенсивный междолинный переход, называется пороговой и обозначается $E_{\text{п}}$. Для арсенида галлия она равна примерно 3,2 кВ/см.

Необходимо найти плотность дрейфового тока, протекающего через идеальный кристалл n -типа, в котором обеспечена абсолютная однородность электрического поля, создаваемого в нем приложенным к контактам внешним напряжением. Учтем, что ток создается как «легкими», так и «тяжелыми» электронами, суммарная концентрация которых, равная $n_0 = n_1 + n_2$, не зависит от напряженности поля, так как определяется только концентрацией доноров. Следовательно, плотность тока равна

$$j = q(n_1\mu_1 + n_2\mu_2)E. \quad (5.6)$$

Умножив и разделив правую часть на n_0 , получим

$$j = qn_0\mu_{\text{ср}}E. \quad (5.7)$$

Здесь $\mu_{\text{ср}} = \frac{n_1\mu_1 + n_2\mu_2}{n_0}$ – усредненная по двум долинам подвижность.

Учитывая, что дрейфовая скорость электронов равна $V_{\text{др}} = \mu_{\text{ср}}E$, получим

$$j = qn_0V_{\text{др}}. \quad (5.8)$$

Таким образом, плотность дрейфового тока пропорциональна скорости дрейфа $V_{\text{др}}$.

В слабых полях $n_1 \cong n_0$, $n_2 = 0$, $\mu_{\text{ср}} = \mu_1$, $j = qn_1\mu_1E$. По мере роста E , начиная с некоторой величины E_1 , электроны переходят из нижней долины в верхнюю, поэтому n_1 уменьшается, n_2 увеличивается (рис. 5.6, а), $\mu_{\text{ср}}$ падает (рис. 5.6, б), а рост $V_{\text{др}}$ замедляется (рис. 5.6, в).

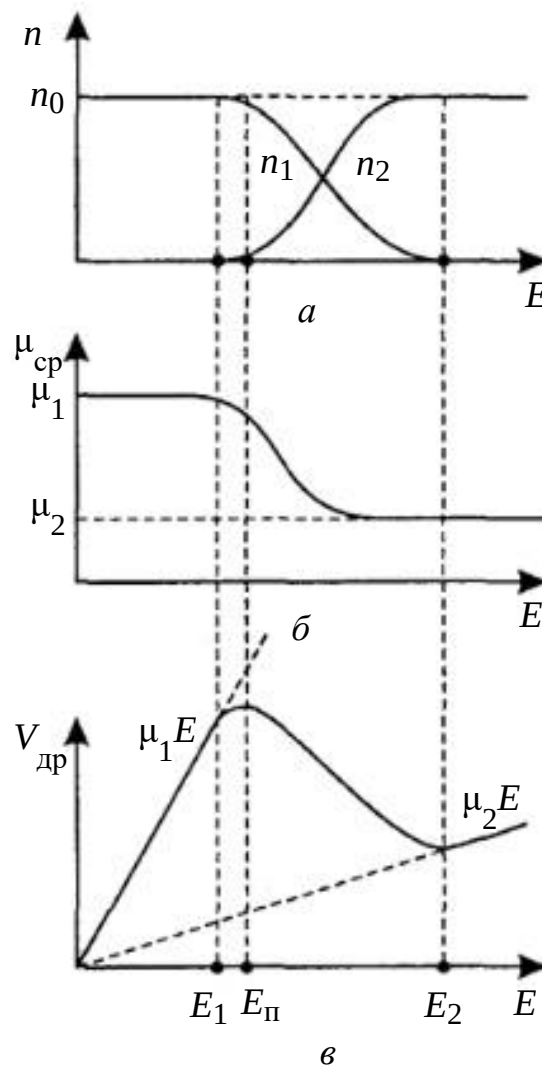


Рис. 5.6. Междолинные переходы:
 a – концентрация электронов; $б$ – подвижность электронов;
 $в$ – дрейфовая скорость электронов

Начиная с величины $E_{п}$, интенсивность междолинных переходов возрастает настолько, что $\mu_{ср}$ резко уменьшается, вследствие чего снижается $V_{др}$. При $E = E_2$ междолинные переходы завершаются, нижняя долина оказывается почти полностью опустошенной ($n_1 = 0$), а верхняя – заполненной ($n_2 = n_0$). При этих условиях

$$j = qn_2\mu_2E. \quad (5.9)$$

Если $E_2 = 8$ кВ/см, то наступает насыщение дрейфовой скорости, поэтому при $E > E_2$ скорость остается постоянной.

Принимая во внимание, что плотность тока пропорциональна $V_{др}$, его величина связана с этим показателем соотношением $I = jS$, где S – площадь поперечного сечения кристалла, а напряженность поля $E = u/L$, где u – напряжение, приложенное к кристаллу, L – длина кристалла, можно записать уравнение вольт-амперной характеристики кристалла:

$$i = qn_0S\mu_{ср}u/L. \quad (5.10)$$

Из этого уравнения следует, что зависимость тока от напряжения аналогична зависимости дрейфовой скорости от напряженности поля, т. е. она содержит участок с отрицательным дифференциальным сопротивлением (рис. 5.7).

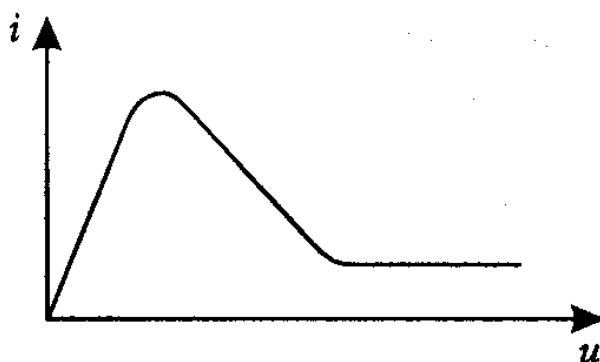


Рис. 5.7. Участок с отрицательным дифференциальным сопротивлением на ВАХ кристалла

Существование отрицательного дифференциального сопротивления обусловлено уменьшением дрейфовой скорости при увеличении напряженности поля. При напряжении u , соответствующем критической напряженности поля, равной примерно 8 кВ/см, дрейфовая скорость становится постоянной и рост тока прекращается. Наличие отрицательного дифференциального сопротивления может компенсировать потери в присоединенной к кристаллу пассивной цепи, что позволяет использовать его для генерации и усиления электрических колебаний. Это обстоятельство нашло применение в СВЧ-устройствах, работающих на частотах, измеряемых единицами и десятками гигагерц. Далее будет рассмотрен принцип генерирования СВЧ-колебаний, основанный на использовании эффекта Ганна.

В кристалле арсенида галлия имеются неоднородности, обусловленные неравномерностью распределения легирующей примеси и дефектами кристаллической структуры, в результате чего в нем возникают локальные напряженности поля, превышающие среднюю напряженность. Как правило, эти неоднородности существуют вблизи торцов кристалла, на которые напылены внешние металлические электроды катода и анода (рис. 5.8, *а*). Основную роль играют неоднородности у катодного вывода. Пусть в момент включения внешнего напряжения в кристалле возникает электрическое поле со средней напряженностью E_0 , которая несколько меньше пороговой $E_{\text{п}}$. Из-за наличия неоднородностей напряженность поля в околкатодной области оказывается выше пороговой (рис. 5.8, *б*). Вследствие этого левее сечения x_1 появляются «тяжелые» электроны, движущиеся со скоростью V_1 , а правее x_1 находятся «легкие» электроны, движущиеся со скоростью V_2 . По мере продвижения «тяжелых» и «легких» электронов к аноду формируется зарядовый пакет, называемый доменом. Он состоит из двух слоев (рис. 5.8, *в*): первый из них (со стороны катода) из-за избытка «тяжелых» электронов имеет отрицательный заряд, второй (со стороны анода) — из-за недостатка «легких» электронов имеет положительный заряд. Наличие этих зарядов ведет к образованию электрического поля домена, направленного в ту же сторону, что и внешнее поле (рис. 5.8, *г*). По мере формирования домена поле в нем растет, а за его пределами — уменьшается. Поэтому скорость движения «тяжелых» электронов внутри домена возрастает, а скорость движения «легких» электронов за его пределами уменьшается. В некоторый момент времени t_1 скорости движения «легких» и «тяжелых» электронов становятся одинаковыми, и формирование домена завершается. Сформированный домен продолжает двигаться к аноду со скоростью $V_{\text{др}} = \mu_1 E_1 = \mu_2 E_2$. Достигнув анода, домен рассасывается, в структуре устанавливается исходное распределение напряженности поля (рис. 5.8, *б*) и начинается формирование нового домена. Зная закономерности изменения скоростей «тяжелых» и «легких» электронов, нетрудно объяснить характер изменения тока во внешней цепи. В момент включения t_0 в кристалле все электроны являются «легкими», и плотность тока через кристалл имеет максимальное значение:

$$i_{\text{max}} = qn_0\mu_1 E_0. \quad (5.11)$$

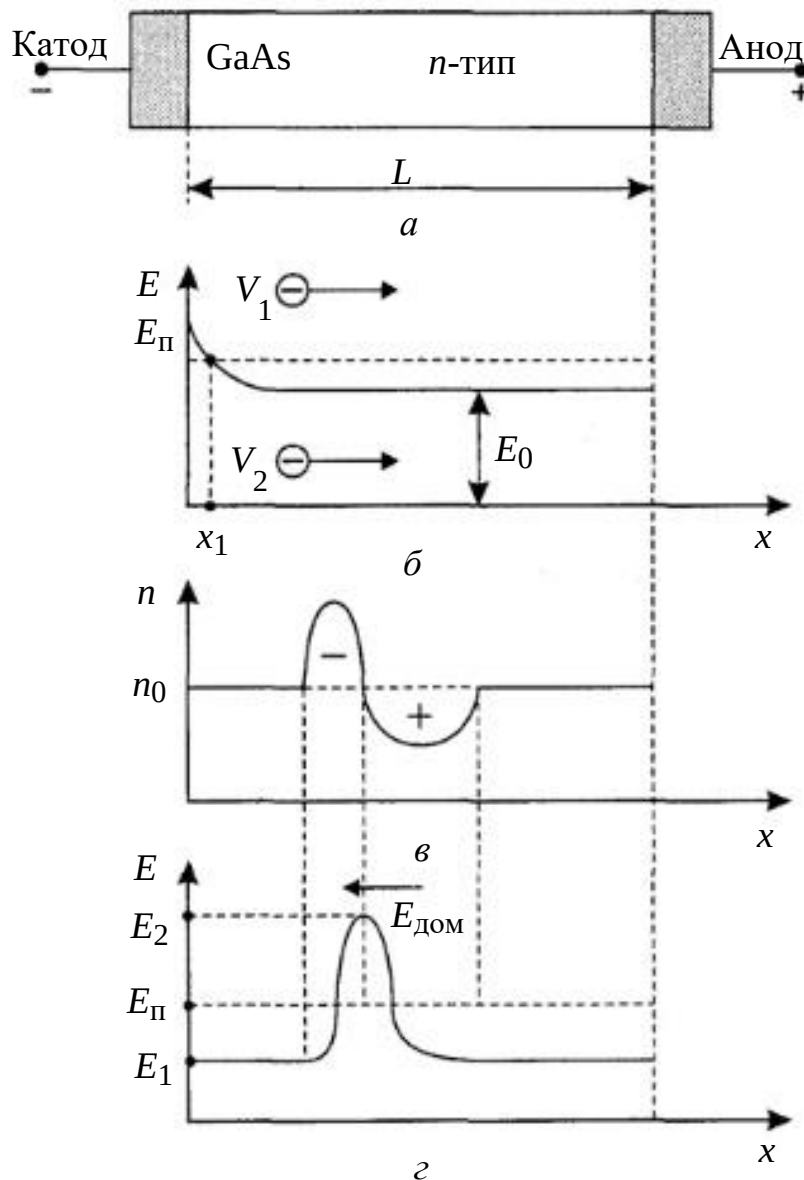


Рис. 5.8. Распределение параметров по длине кристалла:
 a – кристалл арсенида галлия с напряженными с торцов электродами; b – распределение напряженности поля в околокатодной области; c – концентрация зарядов; d – распределение напряженности поля домена

По мере формирования домена возрастает напряженность поля внутри него и уменьшается вне его пределов, при этом снижается дрейфовая скорость и, соответственно, ток. После образования домена (момент t_1) в кристалле установится минимальный ток

$$i_{\min} = qn_0\mu_1E_1. \quad (5.12)$$

В момент t_2 домен достигает анода и рассасывается в интервале $\tau_p = t_3 - t_2$, при этом ток возрастает. Изменение тока во времени

иллюстрирует рис. 5.9. Частота следования импульсов определяется дрейфовой скоростью домена $V_{др}$ и длиной кристалла L :

$$f = V_{др}/L. \quad (5.13)$$

При $L = 10$ мкм и $V_{др} = 10^7$ см/с частота колебаний составляет 10 ГГц.

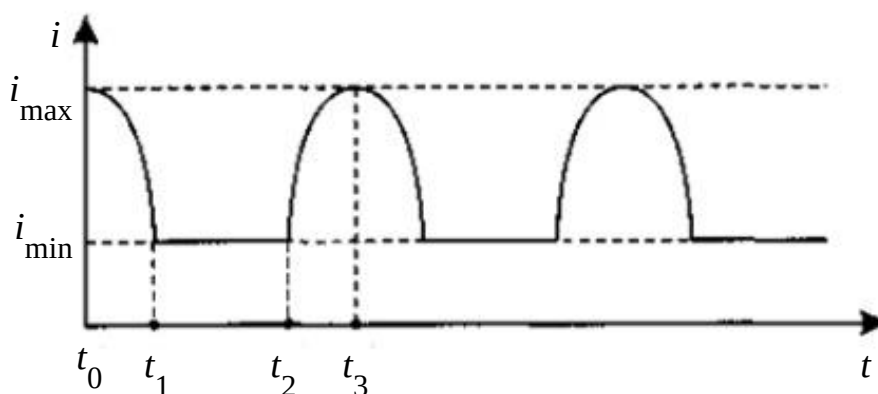


Рис. 5.9. Временная зависимость тока в кристалле

На основе эффекта Ганна выполняют также СВЧ-усилители, рабочая точка которых находится на падающем участке ВАХ. Усиление мощности такого усилителя на частоте 25–30 ГГц достигает 60–70. На основе эффекта Ганна могут также выполняться элементы логических схем, быстродействие которых достигает 10^{-10} – 10^{-11} с. Кроме того, на основе эффекта Ганна выполняют импульсные усилители, работающие в триггерном режиме, а также могут быть созданы элементы памяти, аналого-цифровые преобразователи и ряд других устройств.

5.6. Микроминиатюризация и приборы наноэлектроники

Для классических компьютеров исключительно важной является проблема уменьшения рассеиваемой энергии в процессе вычислительных операций. Как уже отмечалось выше, МДП-транзисторы с изолированным затвором не расходуют входную мощность при управлении током во вторичной цепи. В этом их принципиальное отличие от биполярных транзисторов и основное преимущество для повышения степени упаковки и интеграции при конструировании сверхбольших интегральных схем.

Кроме этого, оказывается, что, используя пару комплементарных (дополняющих) p - и n -канальных МДП-транзисторов, можно практически свести к нулю и рассеиваемую выходную мощность. Действительно, для последовательно соединенных КМОП-транзисторов при подаче напряжения в активном режиме один из них всегда открыт, а другой – закрыт. Поэтому ток в выходной цепи в статическом режиме не протекает, а мощность выделяется только при переключениях транзисторов из одного состояния в другое. На рис. 5.10 приведена типичная топология инвертора на полевых КМОП-транзисторах и схема, поясняющая его работу.

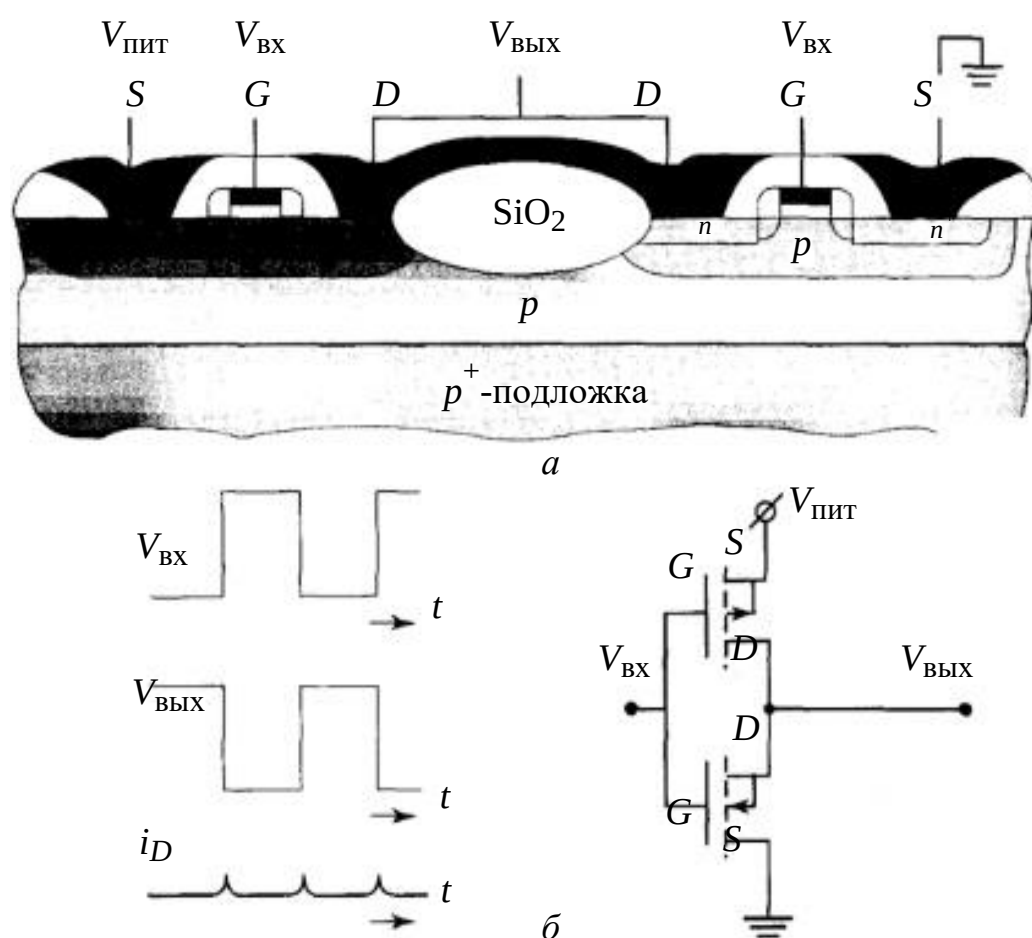


Рис. 5.10. Инвертор на полевых КМОП-транзисторах:
 а – разрез полупроводниковой структуры;
 б – принципиальная схема, поясняющая его работу

Это качество КМОП-транзисторов – низкие значения потребляемой входной и выходной мощностей – является одним из главных преимуществ полевых транзисторов по сравнению с биполярными.

5.7. Оптоэлектронные устройства

В современных системах передачи информационных сообщений наиболее новым подходом является замена проводных систем связи на оптоволоконные. Такая замена позволяет обеспечить передачу информации со скоростями 10^{12} Бит/с и выше по мере развития технологии изготовления полупроводниковых лазерных систем и полупроводниковых детекторов светового потока совместно с совершенствованием конструкции оптического волокна и технологии его изготовления. В качестве некоторых других важных устройств функциональной электроники можно перечислить следующие:

1. Лазерные диоды – полупроводниковые устройства, служащие для генерации светового потока в качестве переносчика информационного сигнала. Конструируются для работы в различных диапазонах световых частот. В настоящее время наиболее перспективными являются лазерные диоды, работающие в диапазоне длин волн 1300–1550 нм. Соединения типа InGaAs/InP являются основными материалами, подходящими для этого диапазона длин световых волн. Помимо этих полупроводниковых соединений GaInNAs материал в настоящее время также является одним из наиболее перспективных для работы в оптоволоконных линиях связи. Современные настраиваемые лазерные структуры могут работать в различном диапазоне длин волн, позволяющем мультиплексировать передаваемый сигнал по различным ветвям светового диапазона. При использовании квантовых ям в качестве активных областей лазерных устройств возможна разбивка диапазона рабочих длин волн в соседних каналах с чередованием 45 нм. Это обеспечивает подавление сигнала в параллельном канале передачи сообщения 45 дБ, что способствует одновременной работе в 120 частотных каналах.

2. Оптические волокна служат как среда для передачи световых сигналов. Свет, излучаемый лазером или светодиодом, сопрягается с сердечником оптоволокну и распространяется вдоль его оптической оси. Оптический сигнал монотонно ослабляется по мере прохождения, но в случае применения оптоволоконных линий связи затухание сигнала существенно меньше, чем в случае применения обычных проводных линий. В этом состоит основное преимущество оптоволоконных линий. Другой особенностью является недостижимая для проводных линий скорость передачи информационных потоков. Одномодовые волокна имеют существенно меньший диаметр сердцевины волокна, поэтому они работают в узком диапазоне световых частот. Многомодовые волокна, вследствие большего диаметра сердцевины волокна, работают в более широком диапазоне частот и могут вполне сопрягаться со свето-

излучающими диодами. В отличие от обычной схемы передачи информации – последовательном преобразовании оптического сигнала в электрические сигналы через определенные пространственные интервалы – в настоящее время разработаны более гибкие схемы управления большими потоками сообщений. Применение волокон, легированных эрбием, позволяет регенерировать и усиливать оптический сигнал без применения традиционной схемы передачи сообщений, за счет обеспечения внутреннего усиления светового сигнала в оптоволоконне. Процедура фильтрации светового сигнала за счет встраивания в оптоволоконные линии брегговских решеток позволяет исправлять искажения в оптоволоконных линиях.

3. Преобразователи длин волн. Встроенные конверторы длины световой волны также обеспечивают целенаправленное изменение формы и коэффициента дисперсии оптоволоконных линий передачи сообщений за счет двух InP усилителей света в конструкции усилителей Маха – Цандера.

4. Фотодетекторы. Кремниевые фотодиоды наиболее удобны для детектирования световых сигналов в диапазоне длин волн 800–900 нм. Однако для надежного детектирования световых сигналов, лежащих в диапазоне 1300–1500 нм, германиевые диоды или диоды на основе тройных или четверных твердых растворов на основе GaAs являются наиболее предпочтительными. Это либо *PIN*-диоды (*p*-область – *i*-тип полупроводника – *n*-тип), либо лавинно-пролетные диоды, обладающие внутренним усилением детектируемого сигнала. Эффективность *PIN*-диодов достигает 80 %, емкость диода для оптической связи диаметром 200 мкм составляет 0,2 пФ, что позволяет надежно детектировать световой сигнал в любом частотном диапазоне.

5. Датчики физических величин. Использование оптических волокон в средствах дальних высокоскоростных систем передачи сообщений не ограничивается только этими применениями. В этом плане волоконно-оптические датчики обладают огромным потенциалом, так как тогда возможно функциональное расширение операций, выполняемых в блоке обработки данных датчика, путем их цифровизации.

5.8. Микроминиатюризация МДП-приборов

Полевые приборы со структурой «металл – диэлектрик – полупроводник» в силу универсальности характеристик нашли широкое применение в интегральных схемах. Одна из основных задач микроэлектроники заключается в повышении степени интеграции и быстродействия интегральных схем.

Для ИС на МДП-приборах благодаря чрезвычайно гибкой технологии их изготовления эта задача решается несколькими путями [10]. В основе одного из подходов лежит принцип двойной диффузии. Эта технология получила название КМОП-технологии, когда структура имеет планарный характер, и V-МОП-технологии, когда структура транзистора имеет вертикальный характер. Другой подход связан с пропорциональной микроминиатюризацией обычного планарного МДП-транзистора и получил название высококачественной, или *H*-МОП-технологии.

Согласно основным положениям модели пропорциональной микроминиатюризации, при уменьшении длины канала в N раз для сохранения тех же характеристик транзистора другие его параметры (толщина окисла, ширина канала, напряжение питания) необходимо снизить в N раз, а концентрацию легирующей примеси в подложке увеличить в N раз. Действительно, при таком изменении величины порогового напряжения V_T и проводимости канала практически не изменяются. Быстродействие, определяемое временем пролета носителей через канал, возрастет в $N_{\text{раз}}$, ток канала уменьшится в N^2 раз, рассеиваемая мощность снизится в N^2 раз. В табл. 5.1 приведена динамика изменения основных параметров МДП-приборов, проявляющаяся при пропорциональной микроминиатюризации.

Таблица 5.1

Эволюция размеров и параметров МДП-приборов

Параметры прибора (схемы)	<i>n</i> -МОП с обогащенной нагрузкой, 1972	МОП, 1980	1989	2000	Коеф- фициент изменения
Длина канала L , мкм	6	2	1–0,6	0,13	N^{-1}
Поперечная диффузия L_D , мкм	1,4	0,4			N^{-1}
Глубина <i>p-n</i> -переходов x_B , мкм	2,0	0,8		0,07– 0,13	N^{-1}
Толщина затворного окисла d_{ox} , нм	120	40	20	10	N^{-1}
Напряжение питания $U_{\text{пит}}$, В	4–15	2–4			N^{-1}
Минимальная задержка вентилей t , нс	12–15	0,5			N^{-1}
Мощность на вентиль P , мВт	1,5	0,4			N^{-1}
Количество транзисторов в процессоре <i>Intel</i>	2,5 тыс.	80 тыс.	1,2 млн	42 млн	N^{-1}

Идеи и принципы пропорциональной микроминиатюризации позволяют использовать масштабирование МДП-транзисторов при разработке интегральных схем на их основе. Такой подход позволил фирме *Intel* модернизировать процессоры персональных компьютеров каждые 3–4 года. В табл. 5.1 приведены этапы пропорциональной микроминиатюризации процессоров *Intel* за последние тридцать лет.

На рис. 5.11 показана эволюция размеров МДП-транзистора и длины его канала. Обращает внимание на себя тот факт, что принципы пропорциональной микроминиатюризации позволили вплотную придвинуться к размерам базового элемента интегральных схем, ниже которых находится предел, обусловленный физическими ограничениями. Однако такая тенденция может существенно затормозиться, так как преодоление рубежа в 7 нанометров и менее связано с рядом проблем. Квантовые процессы и высокое усложнение технологий приводят к необходимости затрачивать больше ресурсов и денежных средств на исследования и доведение технологии до совершенства.

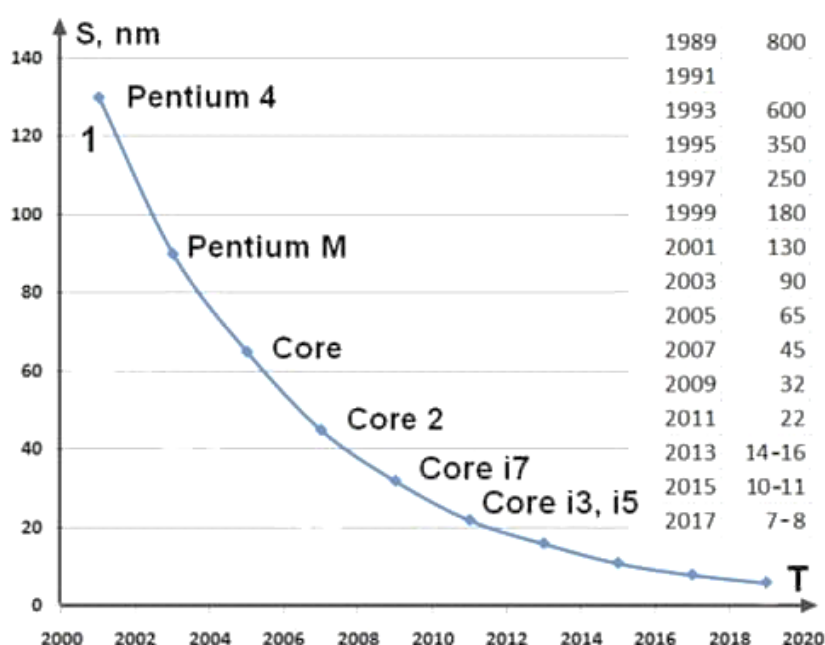


Рис. 5.11. График уменьшения толщины техпроцесса

Опыт разработки МДП-транзисторов с длинами канала 0,25–0,1 мкм показывает, что в таких приборах резко нарастает количество новых физических явлений, в том числе и квантовых. Принцип пропорциональной микроминиатюризации при этих значениях линейных размеров уже перестает работать.

5.9. Физические явления, ограничивающие микроминиатюризацию

Анализ показывает, что наряду с тенденцией уменьшения геометрических размеров каждого элемента в схемах проявляется тенденция к увеличению их числа. Если в начале 1960-х годов число элементов в схеме составляло десятки, то в начале 2000-х годов оно достигает сотни миллионов. Обращает на себя внимание тот факт, что в настоящее время плотность упаковки приближается к пределу, обусловленному физическими ограничениями.

Проблемы, связанные с физическими ограничениями микроминиатюризации, требуют рассмотрения основных физических явлений, которые запрещают дальнейшее уменьшение линейных геометрических размеров транзисторов, напряжений и токов транзистора, ограничивают его быстродействие и плотность упаковки. В табл. 5.2 перечислены предельно допустимые значения параметров и основные физические ограничения.

Минимальную длину канала ограничивает эффект, связанный со смыканием областей истока и стока при приложении напряжения к стоку V_{DS} .

Таблица 5.2

Физические ограничения микроминиатюризации

Величина параметра	Физическое ограничение
Минимальная величина одного элемента (100×100) нм	Статистические флуктуации легирования подложки, разрешение фоторезиста, космические лучи и радиоактивность, конечная ширина p - n -перехода
Минимальная толщина подзатворного изолятора 50 Å	Туннельные токи через подзатворный диэлектрик из затвора в канал
Минимальное напряжение питания 0,025 В	Тепловой потенциал kT/q
Минимальная плотность тока 10^{-6} А/см ²	Дискретность заряда электрона, флуктуации встроенного заряда
Минимальная мощность 10^{-12} Вт/элемент при $f = 1$ кГц	Шумы, тепловая энергия, диэлектрическая постоянная
Предельное быстродействие 0,03 нс	Скорость света
Максимальное напряжение питания	Пробой подзатворного диэлектрика, смыкание областей истока и стока
Максимальное легирование подложки	Туннельный пробой p - n -перехода стока
Максимальная плотность тока	Электромиграция, падение напряжения на паразитных сопротивлениях контактов
Максимальная мощность	Теплопроводность подложки и компонентов схемы
Количество элементов на кристалл 10^8	Совокупность всех ранее перечисленных ограничений

Поскольку ширина $I_{об}$ p - n -перехода, смещенного в обратном направлении, равна

$$I_{об} = \left(\frac{2\epsilon_S \epsilon_0 (2\phi_0 + V_{DS})}{qN_A} \right)^{\frac{1}{2}}, \quad (5.14)$$

то минимальная длина канала должна быть больше удвоенной ширины p - n -перехода $I_{min} > 2I_{об}$, а также прямо пропорциональной корню квадратному от напряжения питания и обратно пропорциональной корню квадратному от уровня легирования подложки. На рис. 5.12 приведена зависимость L_{min} от концентрации легирующей примеси N_A , толщины окисла d_{ox} и напряжения питания $U_{пит}$.

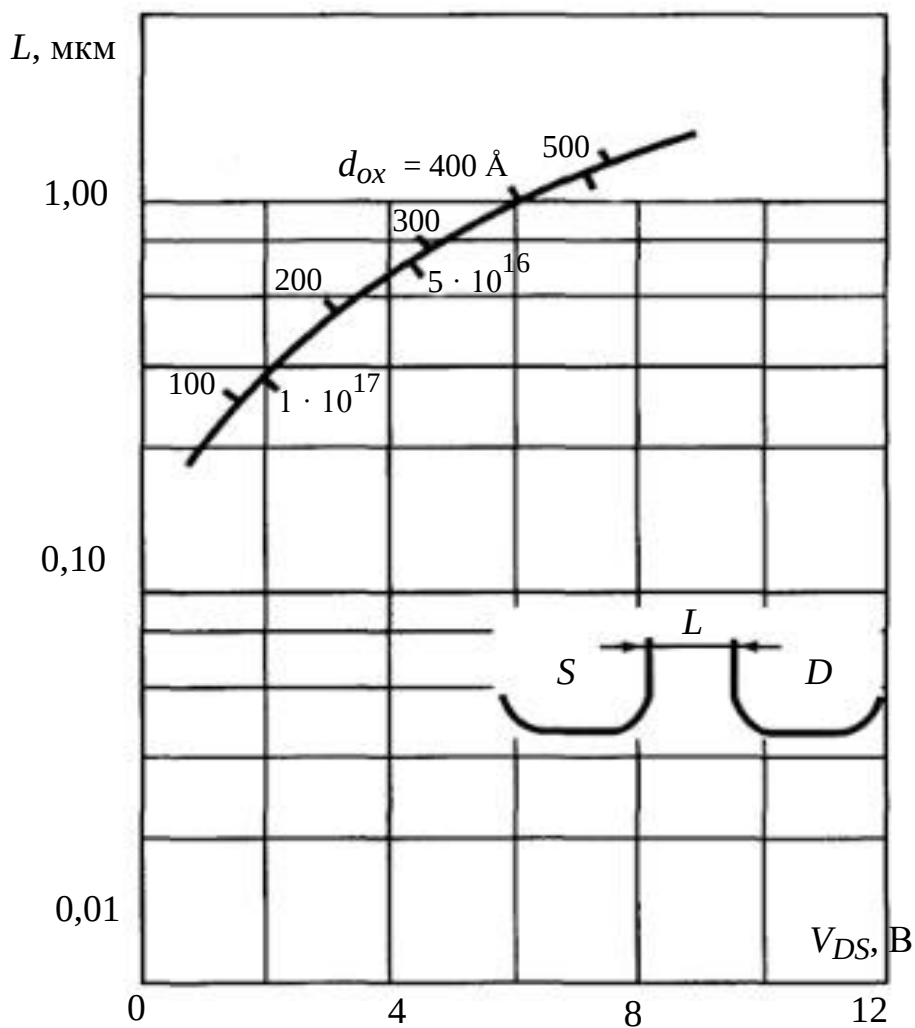


Рис. 5.12. Минимальная длина канала L , определяемая физическими ограничениями в зависимости от напряжения питания, толщины окисла и уровня легирования

Отсюда видно, что при толщине окисла $d_{ox} = 100 \text{ \AA}$ и концентрации акцепторов $N_A = 10^{17} \text{ см}^{-3}$ возможно создание МОП-транзистора с длиной канала $L = 0,4 \text{ мкм}$ при напряжении питания 1–2 В. Дальнейшее увеличение легирующей концентрации в подложке может привести к туннельному пробую $p^+ - n^+$ -перехода.

На рис. 5.13 показана зависимость напряжения пробоя такого перехода от легирующей концентрации в подложке.

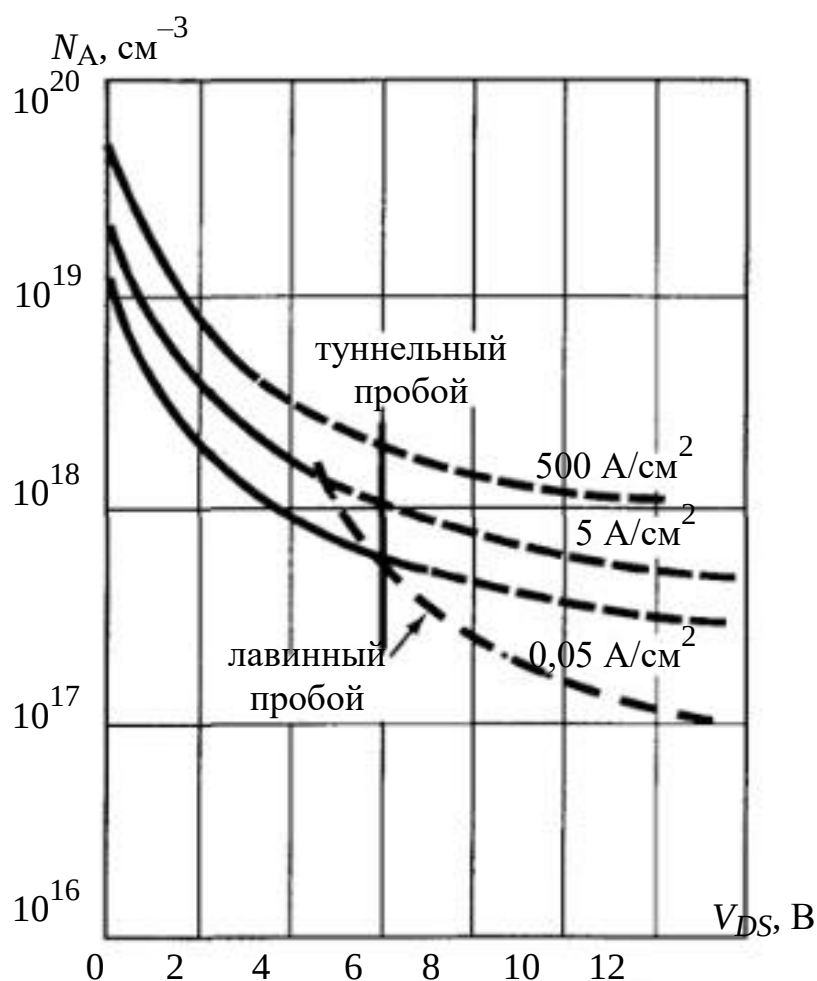


Рис. 5.13. Зависимость напряжения пробоя $p^+ - n^+$ -перехода стока от концентрации легирующей примеси в подложке N_A [6]

Минимальную толщину подзатворного диэлектрика ограничивает сквозной ток через диэлектрик затвора. Считая ток туннельным и используя для него выражение Фаулера–Нордгейма для туннелирования через треугольный потенциальный барьер, можно получить, что для толщины $d_{ox} > 50 \text{ \AA}$ плотность тока пренебрежимо мала. Предельное быстродействие определяется временем пролета носителей через канал

при его длине $L = 1$ мкм, скорости дрейфа, равной скорости света, и составляет $t = 0,03$ нс. Очевидно, что минимальное напряжение питания не может быть менее kT/q из-за флуктуации тепловой энергии.

Контрольные вопросы

1. Какого наибольшего значения достигает интеграция в современных схемах?
2. Какие существуют проблемы повышения интеграции ИМС?
3. В чем заключается проблема теплоотвода ИМС?
4. Что является отличительной чертой приборов функциональной электроники?
5. Какую роль играет функциональная электроника в повышении степени интеграции ИС?
6. Что такое выпрямитель напряжения? На каком эффекте основан принцип его действия?
7. Каков принцип действия выпрямителя напряжения?
8. Какое еще устройство можно считать примером функциональной электроники?
9. Что такое акустоэлектронные устройства?
10. Где используются акустоэлектронные устройства?
11. Какие явления применяются в акустоэлектронных устройствах?
12. Что такое пьезоэффект?
13. Как электрические сигналы преобразуются в акустические?
14. Что такое поверхностные акустические волны?
15. Что такое эффект Ганна?
16. В каком году был открыт эффект Ганна?
17. Какие существуют устройства, основанные на эффекте Ганна?
18. К какому типу можно отнести устройства на эффекте Ганна?
19. За счет чего в устройствах на эффекте Ганна происходит преобразование энергии постоянного тока в энергию СВЧ-колебаний? Почему эти устройства не являются диодами?

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Степаненко, И.П. Основы микроэлектроники : учебное пособие для вузов / И.П. Степаненко. – Москва : Лаб. базовых знаний, 2004. – 488 с.
2. Смирнов, Ю.А. Основы микроэлектроники и микропроцессорной техники : учебное пособие / Ю.А. Смирнов, С.В. Соколов, Е.В. Титов. – Санкт Петербург : Лань, 2013. – 496 с. – URL : <https://e.lanbook.com/book/12948> (дата обращения: 23.08.2019). – Текст : электронный.
3. Ефимов, И.Е. Основы микроэлектроники : учебник / И.Е. Ефимов, И.Я. Козырь. – Санкт Петербург : Лань, 2008. – 384 с. – URL : <https://e.lanbook.com/book/709> (дата обращения: 23.08.2019). – Текст : электронный.
4. Игнатов, А.Н. Микросхемотехника и наноэлектроника : учебное пособие / А.Н. Игнатов. – Санкт Петербург : Лань, 2011. – 528 с. – URL : <https://e.lanbook.com/book/2035> (дата обращения: 23.08.2019). – Текст : электронный.
5. Трубочкина, Н.К. Моделирование 3D-наносхемотехники / Н.К. Трубочкина. – Москва : Изд-во «Лаборатория знаний», 2015. – 526 с. – URL : <https://e.lanbook.com/book/66288> (дата обращения: 23.08.2019). – Текст : электронный.
6. Петров, К.С. Радиоматериалы, радиокомпоненты и электроника : учебное пособие / К.С. Петров. – Москва : Питер, 2006. – 522 с.: ил.
7. Щука, А.А. Электроника : учебное пособие / А.А. Щука. – Санкт-Петербург : «БХВ-Петербург», 2005. – 799 с.
8. Опадчий, Ю.Ф. Аналоговая и цифровая электроника : учебник для вузов / Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров. – Москва : Горячая линия – Телеком, 2005. – 768 с.
9. Кузовкин, В.А. Электроника. Электрофизические основы. Микросхемотехника. Приборы и устройства : учебник для вузов / В.А. Кузовкин. – Москва : Логос, 2005. – 327 с.
10. Проектирование интегральных микросхем : учебное пособие / В.П. Шелохвостов, В.Н. Чернышов. – 2-е изд., стер. – Тамбов: Изд-во Тамб. гос. техн. ун-та, 2008. – 208 с.

ОГЛАВЛЕНИЕ

Список сокращений	3
Введение	5
Глава 1. Классификация интегральных микросхем	7
1.1. Полупроводниковая интегральная схема	7
1.2. Групповой метод изготовления микросхем	14
1.3. Планарная технология	15
1.4. Гибридные интегральные микросхемы	16
1.5. Технология толсто пленочных гибридных интегральных микросхем	23
1.6. Аналоговые интегральные микросхемы	26
Глава 2. Пассивные и активные элементы полупроводниковых интегральных микросхем	28
2.1. Полупроводниковые материалы	30
2.2. Транзисторы $n-p-n$	30
2.3. Многоэмиттерный транзистор	39
2.4. Многоколлекторные $n-p-n$ -транзисторы	41
2.5. Транзистор с барьером Шоттки	42
2.6. Супербета транзистор	43
2.7. Полевой транзистор	44
2.8. МДП-транзисторы. Интегральные схемы на МОП- и биполярных структурах	46
2.9. Новые технологии в разработке интегральных микросхем	50
2.10. Диоды	52
2.11. Резисторы в структуре интегральных микросхем	53
2.12. Конденсаторы	57
2.13. Проводники и контактные площадки	57
2.14. Расчет диффузионного сопротивления	58
2.15. Расчет биполярного транзистора	60
2.16. Расчет униполярного (полевого) транзистора	62
Глава 3. Аналоговые интегральные микросхемы	66
3.1. Разновидности аналоговых интегральных микросхем	68
3.2. Схемы сдвига потенциала	70
3.3. Каскадные схемы	71
3.4. Выходные каскады	73
3.5. Дифференциальные каскады	76
3.6. Операционные усилители	77
3.7. Схемотехника операционных усилителей	79

Глава 4. Цифровые интегральные микросхемы	83
4.1. Диодно-транзисторная логика	83
4.2. Транзисторно-транзисторная логика	85
4.3. Эмиттерно-связанная логика	88
4.4. Логические элементы на однотипных МДП-транзисторах	92
4.5. Логические элементы на комплементарных МДП-транзисторах ...	93
4.6. Запоминающие устройства	95
4.7. Масочные постоянные запоминающие устройства	97
4.8. Программируемые и репрограммируемые постоянные запоминающие устройства	98
4.9. Элементы памяти оперативного запоминающего устройства статического типа	102
4.10. Элементы памяти динамического типа	103
Глава 5. Основы функциональной электроники	106
5.1. Элементы функциональной электроники	106
5.2. Проблемы повышения степени интеграции интегральных микросхем	107
5.3. Функциональная электроника	108
5.4. Акустоэлектронные устройства	109
5.5. Устройство на основе эффекта Ганна	111
5.6. Микроминиатюризация и приборы наноэлектроники	119
5.7. Оптоэлектронные устройства	121
5.8. Микроминиатюризация МДП-приборов	122
5.9. Физические явления, ограничивающие микроминиатюризацию..	125
Библиографический список	129

Учебное издание

**Иванов Дмитрий Алексеевич,
Садыков Марат Фердинантович**

РАЗРАБОТКА ЭЛЕКТРОННЫХ ЭЛЕМЕНТОВ СИСТЕМ КОНТРОЛЯ

Учебное пособие

Кафедра промышленной электроники и светотехники КГЭУ

Редактор *М.С. Беркутова*
Компьютерная верстка *Т.И. Лунченковой*

Подписано в печать 14.09.2020.

Формат 60×84/16. Усл. печ. л. 7,67. Уч.-изд. л. 5,12. Заказ № 273/эл.

Редакционно-издательский отдел КГЭУ,
420066, г. Казань, ул. Красносельская, 51